

论文原创性声明

本人郑重声明：此处所提交的论文《基于 FPGA 的移动 DTV 调制系统技术的数字通信》，是本人在导师指导下，在攻读学士学位期间进行研究工作所取得的成果。据本人所知，论文中除已注明部分外不包含他人已发表或撰写过的研究成果。对本文的研究工作做出重要贡献的个人和集体，均已在文中以明确方式注明。本声明的法律结果将完全由本人承担。
作者签字 葛立扬 葛海亮 高鹏

日期：2009年6月15日

摘要

我们重点研究基于移动 DTV 调制系统技术的数字通信，我们对基于移动 DTV 调制系统技术在深入研究移动 DTV 国家标准的基础上，首先对系统的调制系统进行了设计规划，然后对信道调制的星座映射、系统信息插入、帧体数据处理、PN 序列插入的帧形成模块和成形滤波模块进行了设计和仿真，并验证了其在公交站牌系统上的正确性。

3780 个子载波的时域同步正交多载波技术 (TDS-OFDM) 是移动 DTV 调制系统的关键技术之一。由于载波数不是 2 的整数次幂，考虑到实现的有效性，不能采用现已成熟的基-2 或基-4 的快速傅立叶变换 (FFT) 算法。针对调制系统中特有的 3780 点 IFFT，课题深入分析和比较了 Cooley-Tukey、Winograd 和素因子三种离散快速傅立叶变换算法的特点和性能，综合利用了三种算法优势，考虑了算法的复杂度、运算的速度、资源的消耗，设计出一种新的算法，进行了 Matlab 验证和基于 FPGA (现场可编程门阵列) 的仿真。分析表明，该算法所需的加法、乘法次数已很逼近 4096 点 FFT 算法。移动 DTV 发射端的基带成形滤波采用了平方根升余弦滚降滤波，由于其 0.05 的滚降系数在实现中比较苛刻，所以是设计的难点之一。本次我们利用 altera 公司的 DE2 平台的 FPGAMatlab 工具采用了等纹波最优滤波的方法设计了 169 阶数字滤波器，其阻带衰减达到了 46.9dB,完全符合标准的要求；利用四倍插值的方法实现了 I、Q 合路的该滤波器的 FPGA 设计，并进行了设计优化，显著降低了滤波器的运算量，大大节约了实现该滤波器所需的乘法器资源。

关键词：移动 DTV，TDS-OFDM，IFFT，平方根升余弦滚降滤波，FPGA

ABSTRACT

This dissertation firstly formulates and designs the modulation system of mobile DTV based on researching the mobile DTV's national standard deeply, then designs and simulates the star graph mapping module, the insertion of system information module, the processor of frame-body data, the frame form with inserting PN sequences and the shaping filter which are verified. TDS-OFDM (Time

Domain Synchronous Orthogonal Frequency Division Multiplexing) with 3780 carries is one of the key technologies of the mobile DTV's modulation system. Because the number of carrier wave is not the integer power of 2, we cannot use the maturational radix-2 and radix-4 FFT algorithm in consideration of the realization effectivity. Aiming at the typical 3780-point IFFT, the subject deeply analyses and compares the speciality and capability of Cooley-Tukey, Winograd and Prime Factor Algorithm. Considering the complexity and algorithm, the speed of calculation, the consumption of resource, we design a new algorithm using the advantage of three kinds of algorithm synthetically. After that, we verify it by Matlab and carry out imitation based on FPGA. By analysis it is cleared that the number of addition and multiplication of the algorithm closes to the 4096-point FFT.

The system can operate at a rate of 70 frame/s for 320×240 arrays.

In the image processing module, non-uniformity characteristics of infrared focal plane and the characteristic of infrared image are studied. Hardware implement circuits for two-point

non-uniformity correction algorithm, linear transformation algorithm for gray image and pseudo-color algorithm are proposed. Histogram equalization algorithm, linear smoothing filter algorithm and nonlinear smoothing filter algorithm are simulated using MATLAB. The result shows that histogram equalization algorithm can enlarge the dynamic range of gray image, and the smoothing filter pseudo-color algorithm is proposed and a new adaptive nonlinear pseudo-color algorithm is used to make the image look soft and different temperature regions and the target can be easily recognized.

Keywords: nonuniformity correction, image enhancement, adaptive nonlinear pseudo-color algorithm, FPGA

第一部分 引言

本课题研究的内容正是我国公交车移动电视系统帧结构、信道编码和调制的传输调制技术。本课题的主要任务是：通过对移动 DTV 国家标准的深入了解，对移动 DTV 系统的调制端的部分关键技术进行研究设计，提高算法的效率，对实现的方法进行优化，在 alteria 公司的 DE2 平台的 FPGA 上实现。

第二部分 星座映射、帧形成和 PN 序列插入模块的设计和实现

2.1 星座映射的设计实现

由于星座映射的 MATLAB 仿真比较简单，所以在这里不详述。基于 FPGA 的设计接口定义如下：

clk_bitx2: 系统比特时钟 2 倍周期的输入时钟；

QAM_para: 控制模块的参数信号；

constellation: 星座映射模式；

data_in_en: 输入数据有效信号；

data_v_in: 输入数据，数据宽度为 6 位；

data_I: 输出 I 路数据，数据宽度为 16 位；

data_Q: 输出 Q 路数据，数据宽度为 16 位；

data_out_en: 输出数据有效信号。

如图 1 所示为映射模块的 FPGA 设计结构，时钟信号为比特时钟周期的 2 倍。

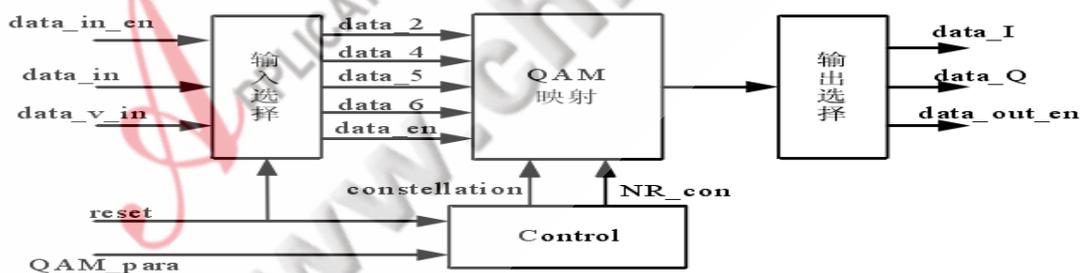


图 1 星座映射硬件实现模块图

控制模块由 QAM_para 信号控制，输出 64QAM、32QAM、16QAM、4QAM 调制信息 constellation 外，还包括是否进行 NR 映射处理的控制信息 NR_con。当检测到输入数据有效时，由输入选择器根据星座映射的模式把数据送入映射模块，按照 constellation 信号完成不同的映射。输入选择器还完成了在不同映射模式下将数据串转并，分别转换成 4 比特、5 比特、6 比特并行输出。在映射模块里根据标准里的星座映射图把输入的数据映射成 I、Q 两路。最后通过输出选择器选择其中一种调制模式的 I、Q 两路数据作为输出送到帧形成模块。输出选择器是个 ROM 存储器，深度为 116，位宽 32，存储各种星座映射对应的符号数据。其中地址 0~3 存储 QPSK 及 QPSK+NR 对应的 4 个符号数据；地址 4~19 存储 16QAM 对应的 16 个符号数据；地址 20~51 存储 32QAM 对应的 32 个符号数据；地址 52~115 存储 64QAM

对应的 64 个符号数据，且高 16 位为实部映射数据，低 16 位为虚部映射数据。

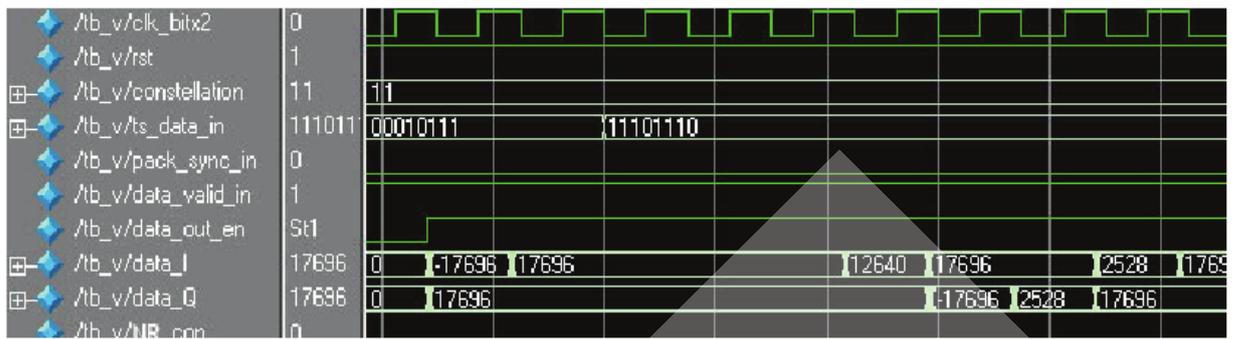


图 2 映射模块时序的仿真的波形

图 2 为 64QAM 的星座映射模式下 (constellation=2'b11) 经过星座映射后的时序仿真波形图，仿真工具用的是 ModelSim SE 6.0，可以看出时序波形比较整齐。在 Windows XP 和 quartus DE2 的软件环境下，在 altera 公司的 DE2 平台的 FPGA 上综合之后消耗资源情况如下：占用了 90 个触发器，138 个四输入查找表，69 个 Slices，占用 1 个片内存储块 Block RAM，不到总数的 1%。

2.2 系统信息插入的设计实现

1. 系统信息

TPS 是传输参数信令的英文缩写，也叫系统信息；用于给出传输参数，即为信道编码和调制的每个信号帧提供必要的解调和解码信息。它包括符号映射方式、LDPC 编码的码率、交织模式信息、帧体信息模式等。本系统中预设了 64 种不同的系统信息模式，并采用扩频技术传输。这 64 种系统信息在扩频前可以用 6 个信息比特 (s5s4s3s2s1s0) 来表示，其中 s5 为 MSB，定义如下：s3s2s1s0：编码调制模式，s4：交织信息；s5：保留。

该 6 比特扩频前的系统信息将采用扩频技术成为 32 比特长的系统信息矢量，即用长度为 32 的 Walsh 序列和长度为 32 的随机序列来映射保护。国家标准中已经给出了扩频后的 64 个 32 位的系统信息矢量，将这 32 比特采用 I、Q 相同的 4QAM 调制映射成为 32 个复符号，再加上 4 个帧体模式符号，得到了 36 个系统信息符号。在本设计中帧体模式 C=3780，“1111”4 个比特也采用 I、Q 相同的 4QAM 映射为 4 个复符号，由于这种映射模式是 2 位到 2 位的映射，所以把它扩展为 8 位的符号，用补码表示。

映射后的 4 个帧体模式指示符号在前，32 个调制和码率等模式指示符号在后。该 36 个系统信息符号通过复用模块与信道编码后的数据符号复合成帧体数据。如图 3 和 4 所示：

图 3 帧体信息的结构图

4 个帧体模式符号	32 个调制和码率等模式符号	3744 个数据符号
-----------	----------------	------------

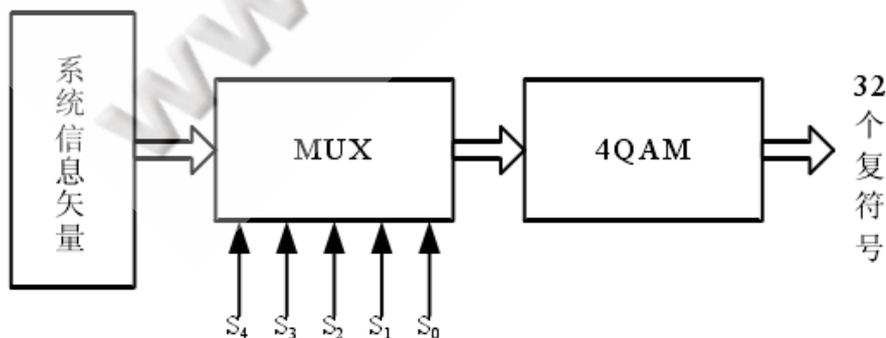


图 4 系统信息形成框图

2 系统信息插入的实现

系统信息插入模块的端口定义为：

tps_in[5:0]：输入的系统信息比特位，6 比特并行数据；

data_Qed：输入数据，经过 QAM 映射后的 32 位帧体数据，高 16 位为实部，低 16 位为虚部；

data_valid_in：输入数据有效信号；

clk：模块工作时钟，也是数据输入时钟；

rst：复位信号，低电平有效，等于 0 时可以复位控制模块的寄存器值；

dout_start：输出 3780 个连续数据的起始脉冲信号，持续一个时钟周期；

dout_en：输出 3780 个连续数据的有效使能信号；

dout：输出数据，高 16 位为实部，低 16 位为虚部；

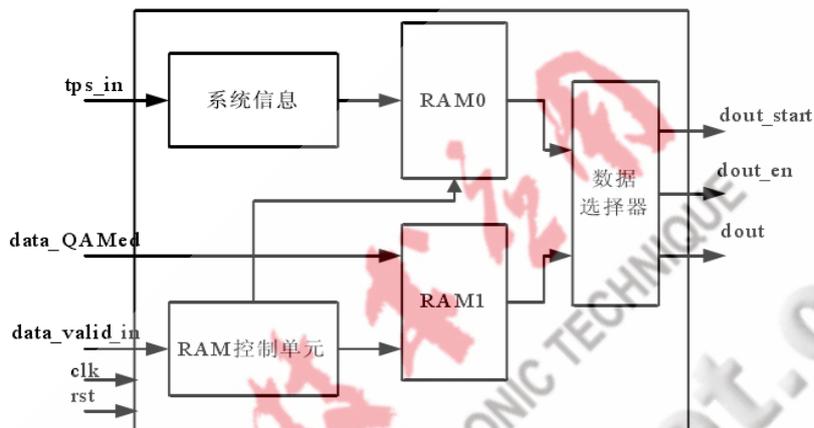


图 5 系统信息插入模块的实现结构

输入 tps_in[5:0] 经过系统信息模块，产生 36 个系统信息符号，写入到 RAM0（深度为 36）中；再插入经 QAM 模块映射的 3744 个符号数据之前，形成了 3780 点的帧体数据。QAM 模块的输出数据 data_Qed 写入到 RAM1（深度为 3744）中。RAM 控制单元完成 RAM0 和 RAM1 的读写地址和读写使能信号产生。当 RAM1 的 3708 个数据写完时，控制单元产生 RAM0 的读使能信号，启动 RAM0 的读数据操作。当 RAM0 读完 36 个系统信息符号后，3744 个数据正好读完，控制单元产生 RAM1 的读使能信号，启动 RAM1 的读数据操作。RAM0 和 RAM1 数据经由一个数据选择器输出，按照图 5 的结构模式形成 OFDM 调制需要的 3780 个数据。如波形图所示，输入的 tps_in 信号为 010001，表示信息模式是：4QAM、LDPC 码率 1、交织模式 2，系统的信息矢量为 10001000001110001101111000100101。当输入数据计数到 3709 之后，RAM0 开始存储系统信息符号，启动 RAM0 的读使能信号 cont_en1，数据选择器开始输出系统信息符号，输出的前 4 个是帧体模式信息。（波形图 9 中指示的 4 个数据就是帧体的模式信息符号），然后是 TPS 信息。当输入数据计数到 3744 时，RAM1 已经读取完 36 个系统信息符号，数据选择器正好可以连续输出 3744 个星座映射的符号，避免了系统信息和帧体信息中间的隔断，保证了信号的连续完整性。

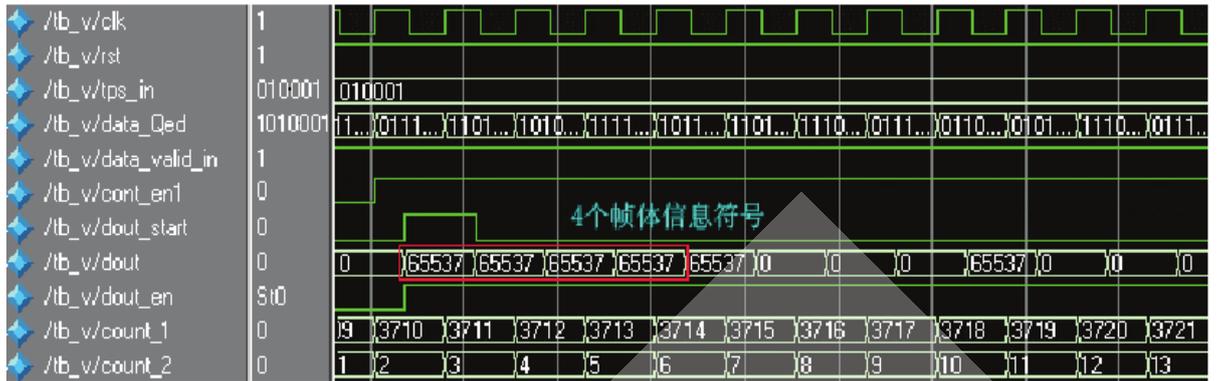


图 6 系统信息插入模块仿真波形图

在 Windows XP 和 quartus DE2 的软件环境下,在 altera 公司的 DE2 平台的 FPGA 上综合之后消耗资源情况如下: 占用了 115 个 Slices, 187 个触发器, 208 个四输入查找表, 占用片内 Block RAM 资源不到 6%。

帧头及 PN 保护间隔

帧头 (420 个符号) (55.6 μs)	帧体 (3780 个符号) (500 μs)	信号帧模式 1
帧头 (595 个符号) (78.7 μs)	帧体 (3780 个符号) (500 μs)	信号帧模式 2
帧头 (945 个符号) (125 μs)	帧体 (3780 个符号) (500 μs)	信号帧模式 3

图 7 三种帧头模式

信号的数据帧结构的基本单元为信号帧, 信号帧由帧头和帧体两部分组成。由于地面传输环境的多样性和复杂性, 不同条件下引起的信道最大延时扩展各不相同。为了系统的兼容性考虑, 标准中定义了三种可选的帧头模式, 如图 7 所示, 三种帧头模式所对应的信号的帧体长度和超帧的长度保持不变, 分别由长度不同的 PN 序列构成。帧头和帧体信号的基带符号率相同。三种帧头模式所对应的信号帧的帧体长度和超帧的长度保持不变, 帧体包含了系统信息和数据。其中帧头 1 和帧头 3 信号平均功率是帧体信号平均功率的 2 倍, 帧头 2 信号平均功率与帧体相同。

PN 序列的产生

前同步缓冲(82)	PN 序列(255)	后同步缓冲(83)
-----------	------------	-----------

图 8 PN420 结构

接下来以模式 1 为例, 介绍 PN 序列的产生设计, 它的结构图由图 12 给出。帧头模式 1 采用的 PN 序列定义为循环扩展的 8 阶 m 序列。可由一个 m 序列发生器实现, m 序列发生器又叫作最大长度的线性反馈移位寄存器 (LFSR), 由 n 级带反馈的移位寄存器构成。一个特征多项式及其寄存器的初始值完全确定了一个 m 序列。产生序列 PN255 的特征多项式为: $G_{255}(x)=x^8+x^6+x^5+x+1$

该 LFSR 的初始状态有多种, 可产生 225 个不同相位的 PN420 序列。对于每个超帧中的 225 个信号帧, 每个信号帧的帧头采用不同相位的 PV420 信号作为信号帧的识别符, 并在每个超帧的开始时复位。8 位 LFSR 的结构图如图 9 所示。8 个移位寄存器根据连接向量与模 2 加法器相连, 并将反馈结果送入第一级, 而输出数据从最后一级送出。

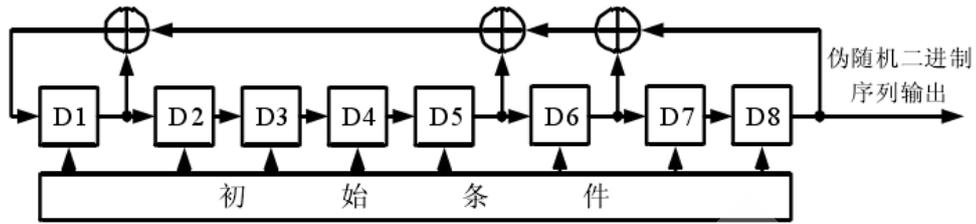


图 9 8 阶 m 序列的生成结构

前后同步缓冲

移动 DTV 的帧头由前同步缓冲、PN 序列和后同步缓冲组成。前、后同步缓冲又称作前、后保护间隔，是长度为 255 的 m 序列的循环扩展。前同步缓冲是防止前一帧的 IDFT 带来的影响，后同步缓冲则是为了防止 PN 序列带给随后的 IDFT 的影响。前、后同步缓冲根据帧头模式的不同采用不同的长度。

本文中设计的是帧头模式 1，长度为 420，是 OFDM 帧体长的 1/9。前同步缓冲的长度取 82，后同步缓冲的长度取 83。帧头模式 1 (PN420) 的保护间隔结构图如图 10。

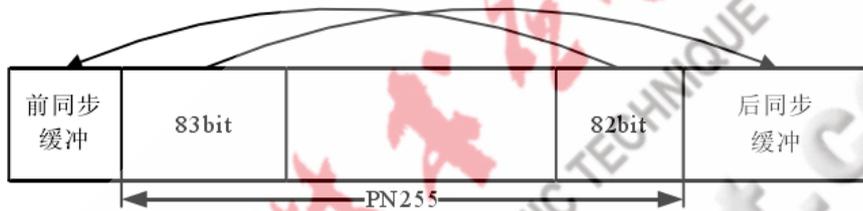


图 10 PN420 前后同步缓冲的形成

PN 序列的帧头数据插入的实现

PN 帧头数据插入模块的结构定义如下：

clk: 模块工作时钟，是系统的符号时钟；

data_in: 32 位的输入数据，数据的高 16 位为实部，低 16 位为虚部；

data_in_en: 输入有效数据使能信号，高电平有效；

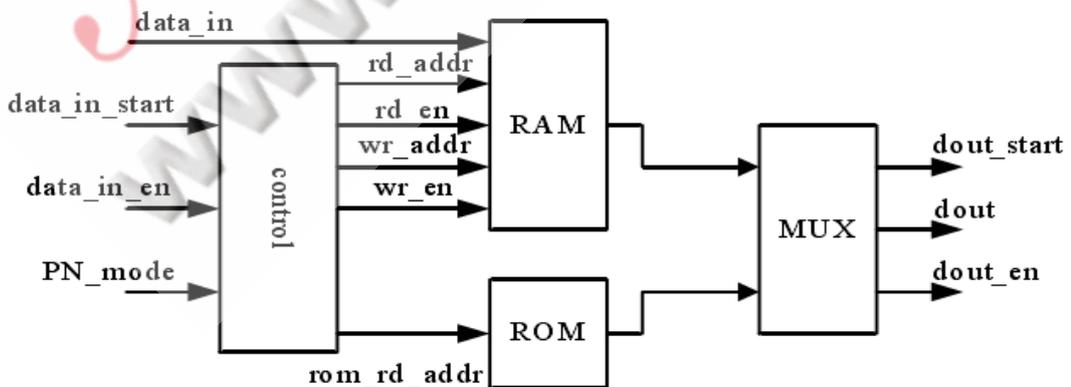
data_in_start: 输入有效数据起始信号，高电平有效；

PN_mode: 插入 PN 序列的模式指示信号；

dout_start: 输出有效数据起始信号，高电平有效；

dout_en: 输出有效数据使能信号，高电平有效；

dout: 32 位输出数据，数据的高 16 位为数据实部，低 16 位为数据虚部。



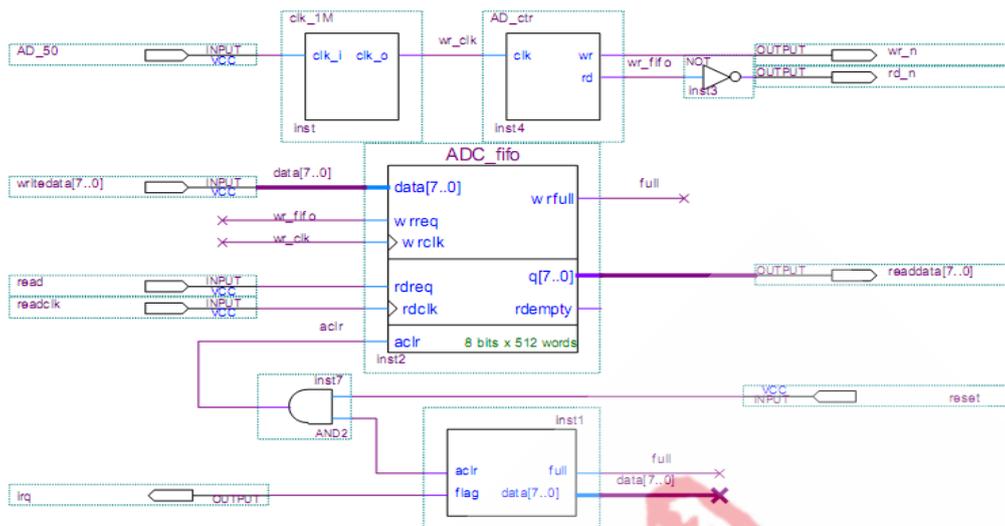


图 11 帧头插入模块的实现结构框图及顶层模块图

PN 帧头数据插入模块主要完成 OFDM 调制的 3780 个数据和 PN 帧头的数据拼接。在具体实现时，输入的 3780 个数据首先缓存在 RAM 中，当所需要的 PN 头数据产生完以后，启动读 RAM 操作，把缓存数据输出。PN 帧头数据插入模块的具体结构及其顶层模块图如图 11 所示。

控制模块主要由模分别为 766 和 3780 的两个计数器组成，并控制 RAM 读写地址和 ROM 读地址产生。当帧体的 3780 计数器计数时，先完成 ROM 中存储的帧头的输出，紧接着把缓存的 3780 个 OFDM 调制数据顺序读出。ROM 存储的是三种 PN 模式的 PN 帧头，由于保护间隔的数据是 PN 序列的循环扩展，所以只需存储 PN 序列，通过控制 ROM 的读地址来产生完整的帧头。PN420 模式存储地址为 0~254 位，PN595 和 PN945 模式各顺序存储在 255~765 位，所以 ROM 的深度需要 766 位。以 PN420 为例，先从 172~254 读取前保护间隔，再读取 0~254 的 PN 序列，然后读取 0~82 作为后保护间隔，从而完成一个完整的帧头。波形图如下图所示，输出 PN420 模式帧头时，PN_mode=01，ROM 的读地址控制信号从 172 开始，dout 开始输出 ROM 的数据，同时 dout_en 和 dout_start 有效，读到 254 地址，这个是目前保护间隔，然后开始读取 0~254 的 PN 序列，最后才是 0~82 的后保护间隔。

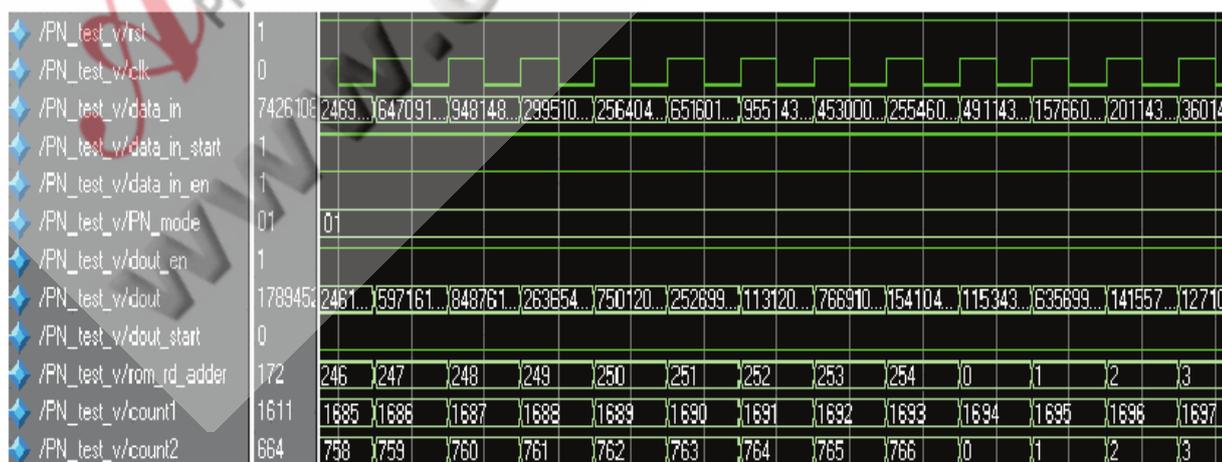


图 12 PN 帧头插入模块的仿真波形图

。在 Windows XP 和 quartus DE2 的软件环境下，在 altera 公司的 DE2 平台的 FPGA 上综合之后消耗资源情况如下：占用了 145 个 Slices，207 个触发器，273 个四输入查找表，

占用片内 Block RAM 资源 6%。

本模块部分小结。详细介绍了移动 DTV 的调制系统中星座映射、系统信息插入、帧形成和 PN 序列插入模块的 FPGA 设计和仿真结果,并给出了每个模块在 Windows XP 和 quartus DE2 的软件环境下设计所耗费的资源情况。信道编码后的数据经过星座映射、系统信息插入和帧形成模块可以得到 OFDM 多载波调制的帧,3780 个子载波的 OFDM 设计和实现将在下一章重点介绍;帧头形成模块和 PN 保护间隔插入模块,这个模块是数据帧经过 OFDM 调制后为了最大限度地消除符号间干扰的重要模块

第四部分 帧体数据处理的研究设计

1 傅里叶变换在 OFDM 系统中的应用。

设一个时间信号 $s(t)$ 的抽样函数为 $s(k)$, 其中 $k=0, 1, 2, \dots, N-1$, 则 $s(k)$ 的离散傅里叶变换 (DFT) 为

$$S(n) = \frac{1}{N} \sum_{k=0}^{N-1} s(k) e^{-j(2\pi/N)nk} \quad n=0, 1, 2, \dots, N-1$$

$S(n)$ 的离散傅里叶反变换 (IDFT) 为

$$s(k) = \frac{1}{N} \sum_{n=0}^{N-1} S(n) e^{j(2\pi/N)nk} \quad k=0, 1, 2, \dots, N-1$$

若对上式中 $S(n)$ 进行抽样, 抽样间隔为 T , 假定在一个码元周期内 T 内含有 N 个抽样值。又由于 OFDM 信号的产生首先在基带上实现, 然后通过上变频产生输出信号。因此, 基带处理时可令上式可简化为

$$S_{OFDM}(kT) = \sum_{n=0}^{N-1} d_n e^{j(2\pi/N)nk}$$

显然上几式相同, 这说明 OFDM 系统的调制可以由 IDFT 来实现; 同理, 它的解调可以用离散傅里叶变换实现。这就大大简化系统实现的复杂度。

下面讨论如何用 DFT 来实现 IDFT。令 $X(k)$ 是 N 点离散系列 $x(n)$ 的 DFT, 于是有下面两式成立:

$$X(k) = \sum_{n=0}^{N-1} x(n) \cdot W_N^{nk} \quad (k=0,1,2,\dots,N-1, W_N = e^{-j2\pi/N})$$

$$x(n) = \frac{1}{N} \sum_{k=0}^{N-1} X(k) \cdot W_N^{-nk} \quad (n=0,1,2,\dots, N-1)$$

把 $X(k)$ 看作是 OFDM 调制系统的输入信号, 那么它的 IDFT 就是系统调制后的输出, 所以可以通过正向的傅里叶变换来实现 IDFT。从式中可以看出, 可以分三个步骤来实现:

首先, 将长度为 N 的输入数据取共轭; 然后, 对 N 点数据做正向傅立叶变换; 最后, 把得到的结果求共轭, 再乘以系数 $1/N$ 。若要完成 N 点傅里叶变换, 需要 $N*N$ 次复数乘法和 $N(N-1)$ 次复数加法。 N 值较大时, 计算量会相当的惊人, 可能会因为计算量过大, 占用

系统大部分的资源并造成较长的延时，最终导致系统无法实时。为了减少计算量，需要对直接的 DFT 算法进行改进，设计出一种新的快速傅里叶变换算法。比较常用的有基-2 和基-4 的快速傅里叶变换(FFT)，使用这类变换的前提分别是 N 必须是 2 的整数次幂或 4 的整数次幂。然而，TDS-OFDM 系统的子载波数是 3780，介于 2048 与 4096 之间。

若通过补零到 4096，再采用基-2 或基-4 的 FFT 运算，会降低 FFT 运算的有效性。我希望设计出一种合理、高效的快速算法，既能直接实现 3780 个数据的傅里叶变换，达到 100% 的运算有效性，又可以最大程度地减少计算量。

2 3780 点快速傅立叶变换算法

为了实现时域同步正交频分复用 (TDS-OFDM) 技术，3780 点的 FFT 模块是其中不可或缺的重要模块之一，所以研究 3780 点 FFT 对理解移动 DTV 系统有重要的现实意义。

2.1 算法概述

目前，关于 FFT 的算法主要是基于基-2 和基-4 的。关于基-2 和基-4 的 FFT，从软件仿真到硬件实现已有很多成熟的算法。64 点、1024 点、2048 点或 4096 点的 FFT，在工程上都有多种对应的处理器和 FPGA，也有不少的改进型算法。例如，FFT 实时谱分析系统的 1024 点基-4 的 FFT 算法采用 FPGA 实现。快速傅立叶变换的并行算法并要包括：基于 SIMD-MC2，SIMD-BF，SIMD-CC，MIMD-DM 四种体系结构上的 FFT 算法，它们都是基-2 的 FFT 算法。但是，对于不是基-2 或基-4 的 FFT，这些方法就都无能为力了。3780 点 FFT 不是以 2 为基或以 4 为基，并且由于 3780 点 FFT 是移动 DTV 系统的独创，而移动 DTV 系统本身也刚提出不久，因而对于 3780 点 FFT 算法和处理器的研究才刚刚起步。所以要实现 3780 点 FFT 是有难度的。

实现 3780 点 FFT 的一种方法是把 3780 点通过内插得到 4096 点，再利用各种基-2 或基-4 算法把 4096 点的 FFT，再减采样从而得到 3780 点 FFT。这种方法前后采用了内插器，所以必然会带来误差。另一个问题就是采样速率发生变化，在 OFDM 中将增加同步的复杂度。

另一种方法就是混合基 FFT 算法，利用 $12N=rr$ ($1r$ 和 $2r$ 不需要互质) 的快速算法和 Winograd 快速傅立叶算法 (WFTA)，把 3780 点 FFT 处理器划分成短点数 FFT，采用流水线模块化级联结构，级间混序 RAM 和相位旋转等功能模块。这种算法思路简单，处理器结构清晰，采用 WFTA 计算小点数的 FFT 可以节省了乘法器数量。但是每级 FFT 模块后面都要进行混序和相位旋转，增加了计算复杂度并耗费了资源。

我们综合利用素因子分解算法(PFA)、WFTA 和混合基算法来求得 3780 点 FFT。先把 3780 分解为 63×60 ，再把 63 和 60 分解为 7×9 和 $3 \times (5 \times 4)$ 。这种方法采用了素因子算法，比第二种算法省资源和计算量。分析表明，该方案计算 3780 点 FFT 需要进行 140184 次实数加法和 50712 次实数乘法，所需的实数乘法和加法数量已逼近 4096 点 FFT。

3780 点 FFT 算法的设计。比较了几种常用的 FFT 算法，可以知道一种算法的优劣主要是通过比较计算 DFT 时需要的运算量来判断。在基于 FPGA 的设计中乘法的次数尤为重要，因为乘法器消耗的资源大、运算所需的时间长，远大于加法的运算时间。考虑了算法的复杂度、运算的速度、资源的消耗，本设计提出了一种新的算法，将上几种算法结合在一起使用，利用了各自的优势。为了充分利用 Winograd 小 N DFT 算法能使乘法运算次数大幅度减少的优势，我们把 3780 分解为 $7 \times 9 \times 3 \times 5 \times 4$ ，这五个点都是该算法中常用的几个点。五个点中只有 9 和 3 不满足互素的条件，于是，把它们两分隔在两个部分来分别使用。算法的总体思想是：

把 3780 分为两层的结构；第一层为 63×60 ，第二层，先把 63 分为 7×9 ，再把 60 分为 $3 \times 5 \times 4$ 。算法的整体结构图如图 13 所示。

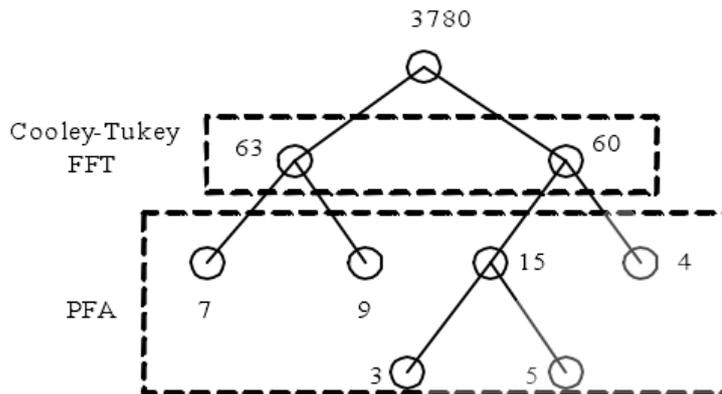


图 13 3780 点 FFT 算法简图

在算法的第一层中，63 和 60 的公约数为 3，大于 1，不符合下标映射中的第一类映射，所以采用了 Cooley-Tukey FFT 算法；在第二层中，把不互素的 3 和 9 分在两个部分里面，7 和 9 互素，3、5 和 4 分别互素，则采用素因子算法或者 WFTA 嵌套算法。由于素因子算法是基于 Winograd 小 N DFT 算法，实现结构比 WFTA 嵌套算法简单，乘法次数差不多，所以设计中选择使用了素因子算法。

第一层 Cooley-Tukey FFT 算法中，

$$N = N_1 N_2 = 3780, \quad N_1 = 63, \quad N_2 = 60$$

根据以上所述，得到下面二维映射地址：

$$\begin{cases} n = 60n_{63} + n_{60} \\ k = k_{63} + 63k_{60} \end{cases}$$

于是有

$$X(k_{63}, k_{60}) = \sum_{n_{60}=0}^{N_2-1} W_{N_2}^{n_{60}k_{60}} \left\{ W_N^{n_{60}k_{63}} \left[\sum_{n_{63}=0}^{N_1-1} x(n_{63}, n_{60}) W_{N_1}^{n_{63}k_{63}} \right] \right\}$$

相当于先完成 60 个 63 点的 FFT，然后乘上旋转因子，再完成 1 个 60 点的 FFT。第二层中，根据下标映射的第一类映射，63 点、60 点、15 点的二维地址映射如表所示。

素因子算法点数	63	60	15
二维地址映射公式	$n_{63} = 9n_7 + 7n_9$ $k_{63} = 36k_7 + 28k_9$	$n_{60} = 4n_{15} + 15n_4$ $k_{60} = 16k_{15} + 45k_4$	$n_{20} = 4n_3 + 5n_5$ $k_{20} = 10k_3 + 6k_5$

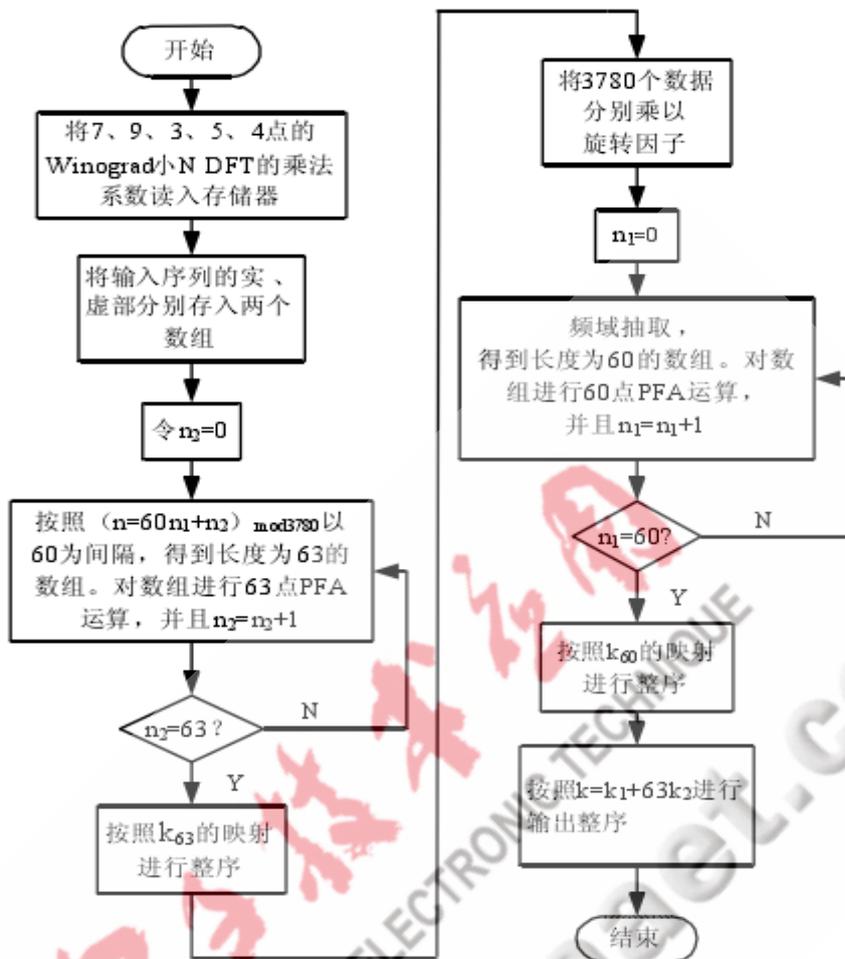


图 14 3780 点 FFT 算法程序流程图

上图是 3780 点 FFT 算法程序流程图。将输入 3780 复数数据进行串转并，按照表中进行下标映射，从原始数据中以 60 为间隔抽取数据，组成了 60 组 63 个数一组的新序列，用 63 点的素因子算法作 FFT 运算，再进行第一次素因子算法的整序，然后将 3780 个数据乘以相应的旋转因子，做 60 点的素因子算法，进行第二次由于素因子分解所需的整序，最后进行因混合基分解算法所需要的整序。

利用 Matlab 自带的函数，输入采用了 2.4Hz 和 3.5Hz 的正弦信号得到图 15 的波形。图中给出了本设计仿真中在 Matlab 中设计的各个阶段的计算结果，将最终得到的仿真图和 Matlab 自带的函数计算比较，可以肯定本设计的正确性

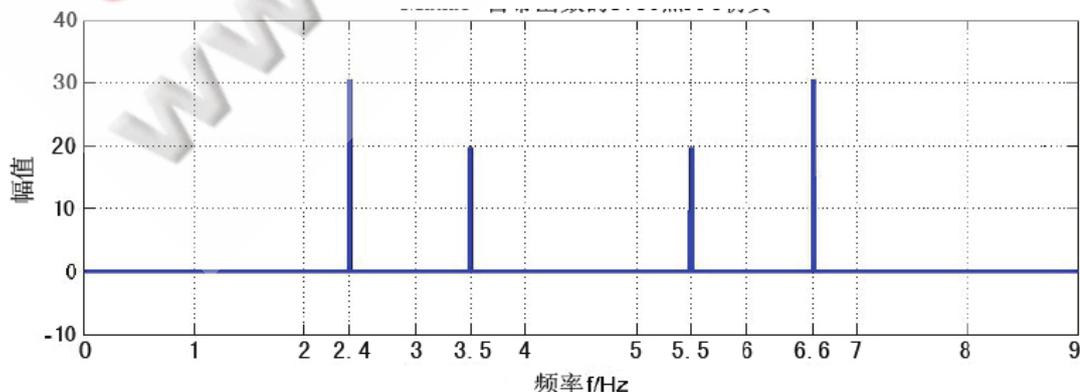
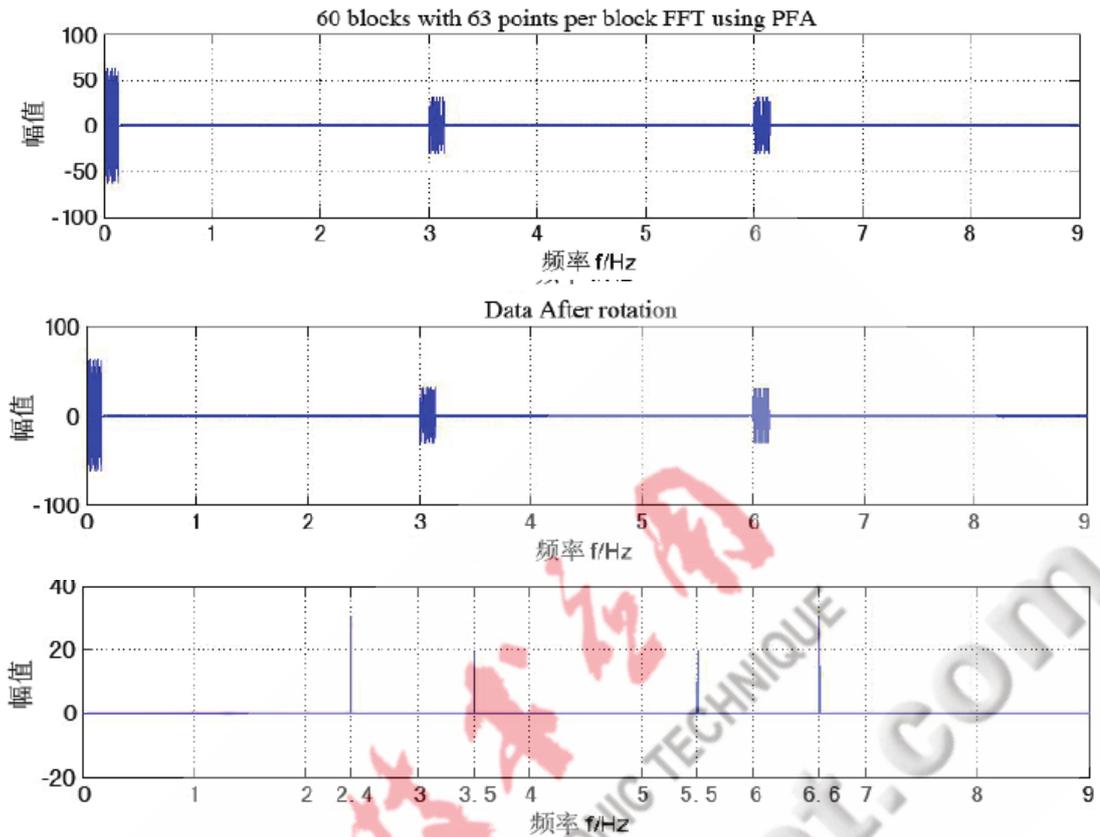


图 15 Matlab 函数的仿真图



上图为 输入正弦信号的 3780 点 FFT 仿真结果图

3.算法实现

3780 点 FFT 的 FPGA 实现

3780 点 FFT 算法实现模块的端口定义如下:

clk: 系统的符号时钟;

clk_working: 工作时钟, 也是系统比特时钟;

reset: 系统复位信号, 低电平有效, 完成系统初始化和复位;

data_in_I、data_in_R: 输入数据的实部、虚部, 16 位位宽;

data_in_valid: 输入数据有效起始信号, 高电平有效, 持续一个输入时钟周期, 表示从下一个时钟沿开始为 3780 个有效数据输入;

dout_start: 输出有效数据起始信号, 高电平有效, 持续期为一个输出时钟周期, 表示下一个时钟开始的 3780 个数据为输入有效数据;

dout_valid: 输出数据有效使能信号, 高电平有效;

dout_R、dout_I: 输出复数数据的实部、虚部, 16 位为宽。

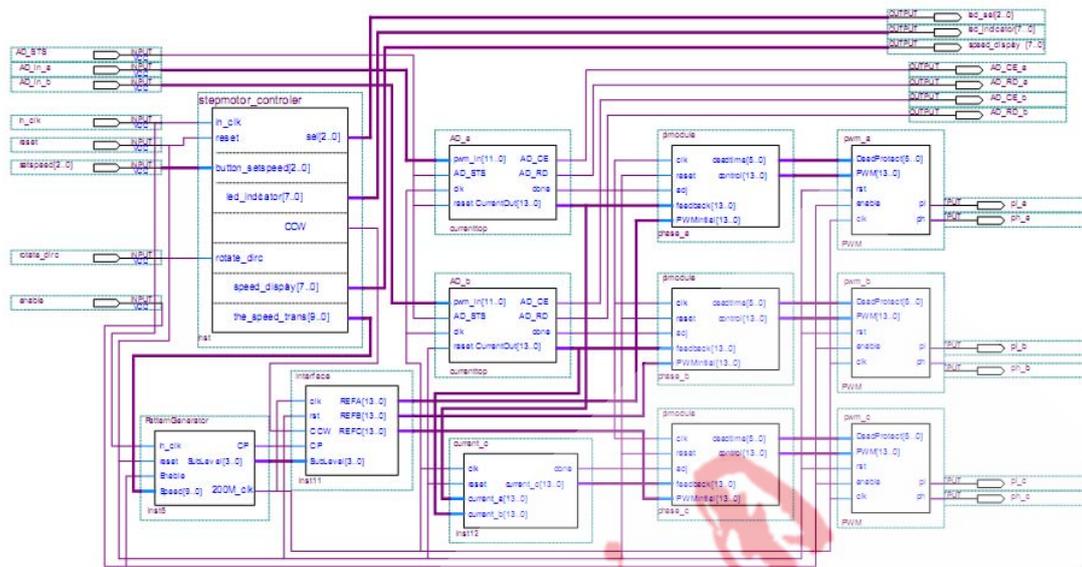


图 16 3780 点 FFT 模块的硬件实现框图及顶层模块图

3780 点 FFT 模块的硬件实现如图 16 所示。clk_working 是系统的比特时钟，每个上升时钟沿到来，串行数据读写一次，小 N 点 WFTA 模块内部移位计算一次。为了解决由于双口 RAM 读或写的跳跃性造成的数据不连续和无效的问题，在设计中让双口 RAM 先写入一组数据，然后由控制模块返回一个信号，启动它的读使能信号。RAM1，当输入端写入第一组 6 个数据之后（即 RAM1 的读地址中 n 不为 0），由控制模块返回一个读使能信号，开始同步写出，输入的第二组 63 个数据依次往后存储；RAM2，写入一组 63 个信号后启动读使能信号；同理，RAM3、RAM4、RAM5，在写入第一组 60 个数据后开始读出。存储器组的读写地址由表 17 给出。

存储器	读地址	写地址
RAM1	$(9N1+7N9)63+60N$	顺序
RAM2	顺序	$(37N7+28N9)63+60N$
RAM3	$(4N15+15N4)63+63N$	顺序

2 Winograd 小 N DFT 算法的 FPGA 实现

Winograd 小 N DFT 算法是整个 3780 点 FFT 实现的基础，3780 点 FFT 被分解成几个小点的 DFT，最终通过 Winograd 小 N DFT 算法来实现的。以 3 点的 WFTA 为例，它的模块的硬件结构下图所示。

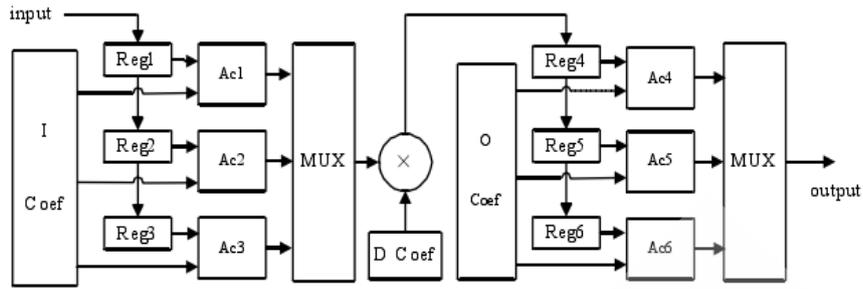


图 18 3 点 WFTA 模块硬件结构

输入为串行数据，WFTA 运算操作分为 I、D、O 三个阶段。由上文可知，由于 I、O 的系数矩阵都是 1、-1、0 构成，所以可以通过累加器完成两个阶段的系数相乘。首先将三个矩阵乘法的系数矩阵存入存储器，将输入数据 `data_in` 送入 3 个移位寄存器，产生一路三位的并行信号送入累加器 `Ac1~Ac3`，再经由一个数据选择器，把信号变成一路串行输出，这就完成里了 I 阶段的矩阵乘法；I 阶段输出的数据再与一个系数产生起产生的 3 个系数因子相乘，完成了 D 阶段的 `Dlx` 运算；O 阶段的操作和 I 阶段类似。

3 仿真结果

经过 Matlab 工具验证了算法设计正确后，在 quartus DE2 的软件环境编写了 Verilog HDL 代码，并进行硬件仿真。输入 `data_in_I` 和 `data_in_R` 为两路 16 位宽的随机数，关键数据的仿真波形如下图所示，可以看出存储器的读写控制完全达到预期设计效果。把输出数据导入 Matlab 进行分析，当输出数据 16 位时，模块的信噪比达到了 56.8dB，完全符合标准 45db 到 60db 的要求。对信噪比有更高要求的应用场合，可以采用扩展位宽来设计。要完成 IFFT 运算，根据两者之间的关系，只需对该模块的输入和输出分别取共轭，就可以完成整体数据处理模块的功能。

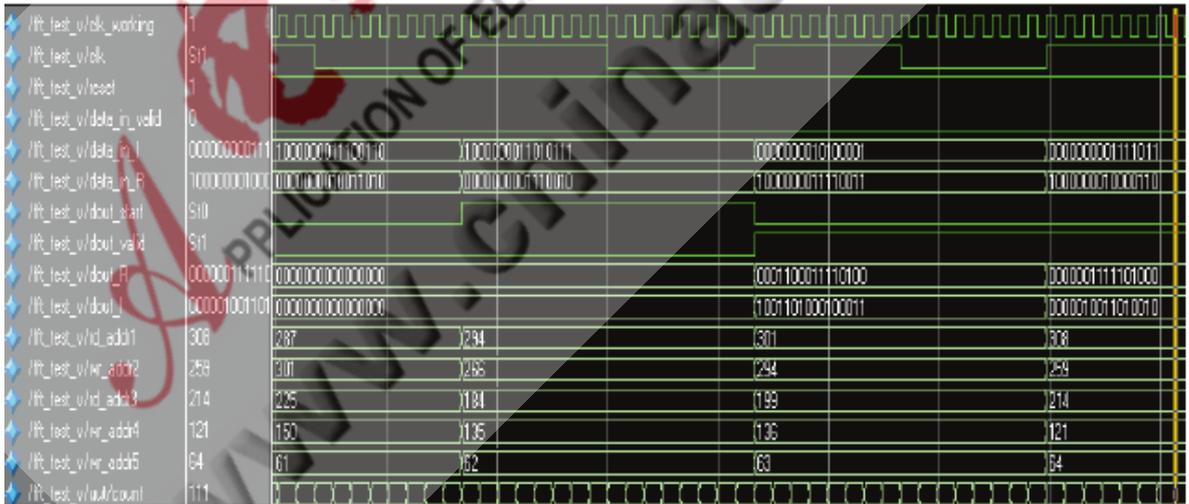


图 20 3780 点 FFT 模块功能仿真输出波形

理论上分析本设计的实数乘法和加法数量已逼近 4096 点 FFT，但是在 FPGA 具体实现时，小点的 WFTA 运算消耗了较多的逻辑单元，相比较 4096 点 FFT 采用蝶形运算单元完成，所以消耗的逻辑单元较 4096 点 FFT 多出不少。整个仿真在 Windows XP 和 quartus DE2 的软件环境下，在 altera 公司的 DE2 平台的 FPGA 上综合之后消耗资源情况比较如图 21。

Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices:	5815	13696	42%	
Number of Slice Flip Flops:	6792	27392	24%	
Number of 4 input LUTs:	9697	27392	35%	
Number of BRAMs:	26	136	19%	
Number of MULT18X18s:	5	136	4%	

图 21 3780 点 FFT 模块的资源耗费报告

总结

由于本人能力和经验有限，两个关键模块消耗的资源还可以进一步优化，尤其可以优化 FFT 模块的存储消耗。在 3780 点 FFT 模块中，可以减小 5 个存储器的深度来节约资源。最理想的状态是只给用来混序和频率抽取的 5 个双口 RAM 预留一组输入数据的缓存区，也就是 RAM1 和 RAM2 深度为 126（63 个用来缓存），RAM3~RAM4 深度为 120（60 个用来缓存）。当然，几个存储器的寻址方式会变得比较复杂，但可以节省相当大的存储空间。这个想法可以在下一步的工作中来求证。DMB-T 的信道纠错编码部分由教研室其他同学设计完成，为了避免重复劳动，所以，本设计没有涉及交织模块的编写，但本设计完成了一个相对完整的 DMB-T 的调制系统，其中 3780 个子载波的 TDS-OFDM 调制是移动 DTV 系统的核心模块，在第 2 部分的基础知识后了解 OFDM 调制的原理后，先利用 FFT 在 OFDM 中的应用以及实现；然后，目前常用的 FFT 算法的基础上，分别利用 Cooley-Tukey 算法、Winograd 算法、素因子算法的原理，分析和比较了这几种算法的特点和性能，针对移动 DTV 系统中特有的 3780 点 IFFT，综合利用了三种算法各自的特点，考虑了算法的复杂度、运算的速度、资源的消耗，本设计提出了一种新的算法，进行了 Matlab 验证和基于 FPGA 的仿真，并介绍了 Winograd 小 NDFT 算法的硬件实现，采用 16 次迭代的方法完成了公交车站牌系统的移动 DTV 的核心模块仿真设计。

参考文献

- [1]姜秀华等.数字电视原理与应用.[M].北京:人民邮电出版社,2003.149-154
- [2]中华人民共和国国家标准——数字电视地面广播传输系统帧结构、信道编码、和调制[M].中华人民共和国国家质量监督检验检疫总局.中国国家标准化管理委员会.2007.8.1:1-124
- [3]汪裕民.OFDM 关键技术与应用.[M].北京:机械工业出版社,2006.8
- [4]北京凌讯华业科技有限公司,清华大学.DMB-TH 地面数字电视传输技术白皮书（第二版）.[M].2006.5
- [5]赵坚勇.数字电视技术.[M].西安:西安电子科技大学出版社,2005.1:150~152
- [6]Rodger E.Ziemer,Roger L.Petersom.尹长川等译.数字通信基础(第二版).[M].北京:机械工业出版社,2005.2
- [7]文红,符初生,周亮.LDPC 码原理与应用.[M].成都:电子科技大学出版社,2006.4
- [8]佟学俭,罗涛.OFDM 移动通信技术原理与应用[M].北京:机械工业出版社,2005
- [9]王诚,薛小刚,钟信潮.FPGA/CPLD—Xilinx ISE 使用详解.[M].北京:人民邮电出版社,2005:1~341
- [10]Yang Zhiying,Hu Yupeng,Pan Changyong,Yang Lin.Design of a 3780-Point IFFT Processor for TDS-OFDM[J].IEEE Tras on Broadcasting,VOL.48,NO.1,Mar 2002:57~59
- [11]谷萩隆嗣[日],快速算法与并行信号处理.[M].北京:科学出版社,2003.9
- [12]胡广书.数字信号处理[M].第二版.北京:清华大学出版社,2003年:195~198

- [13] Burrus C S, Parks T W. DFT/FFT and Convolution Algorithms THEORY AND IMPLEMENTATION[M]. Canada: A Wiley-Interscience Publication, 1985
- [14] 蒋增荣, 曾泳泓, 余品能. 快速算法.[M]. 长沙: 国防科技大学出版社, 1993.12
- [15] HARVERY F. SILVERMAN. An Introduction to Programming the Winograd Fourier Transform Algorithm(WFTA)[J]. IEEE Tras on Acoustics, Speech, And Signal Processing, NO.2, April 1977
- [16] Burrus C S, Peter W Eschenbacher. An In-Place, In-Order Prime Factor FFT Algorithm[J]. IEEE Trans, Acoust, Speech, Signal Processing, 1982.29(1):4
- [17] 陈怀琛. 数字信号处理教程 MATLAB 释义与实现.[M]. 北京: 电子工业出版社, 2004.90-105
- [18] 余涛. DVB-H 信道编码调制的设计及其 FPGA 实现研究:[硕士学位论文], 成都: 电子科技大学, 2006
- [19] Ray Andraka. A survey of CORDIC algorithms for FPGA based computers. In Proceedings of the 1998 ACM/SIGDA sixth international symposium on field programmable gate arrays, 1998:191~200
- [20] 韩芳, 初建朋, 赖宗声. 一种 CORDIC 算法的精度分析及其在 FFT 设计中的应用. 微电子学与计算机, 2004, Vol21, NO.7:14-20
- [21] 刘波. Verilog HDL 语言编程.[M]. 北京: 电子工业出版社. 2007.5
- [22] Sanjit K. Mitra. Digital Signal Processing A Computer-Based Approach(Third Edition)[M]: 清华大学出版社, Oct 2007:523~553
- [23] 飞思科技产品研发中心. 辅助信号处理技术与应用.[M]. 北京: 电子工业出版社. 2005.3
- [24] 刘凌, 胡永生. 数字信号处理的 FPGA 实现.[M]. 北京: 清华大学出版社. 2003:208~215
- [25] 葛锦环. 基于 FPGA 的 DVB-S QPSK 调制器的设计与仿真:[硕士学位论文], 成都: 电子科技大学, 2006
- [26] 张维良, 郭兴波, 潘长勇等. 平方根升余弦滚降 FIR 数字滤波器的设计.[J]. 电讯技术, 2007.6:51~53

原创性声明

本人声明, 所呈交的作品论文是本人在导师指导下完成的研究开发的成果。论文写作中不包含其他人已经发表或撰写过的研究内容。如参考他人或集体的科研成果, 均在论文中以明确的方式说明。

本人的作品论文若有不实或抄袭, 愿意承担一切相关的后果和责任。

作品论文作者签名: 葛立扬 葛海亮 高鹏

日期: 2009 年 6 月 15 日