多处理技术提高性能，降低功耗

功耗管理对未来应用非常关键

SOPC WORLD

计算性能、功耗和成本

	1980	2008	2012
1K的性能 (每秒钟计算能力)	1K	1B	8B (估算)
服务器功耗成本*	N/A	$7B	$55B
服务器市场规模	N/A	$50B	$55B

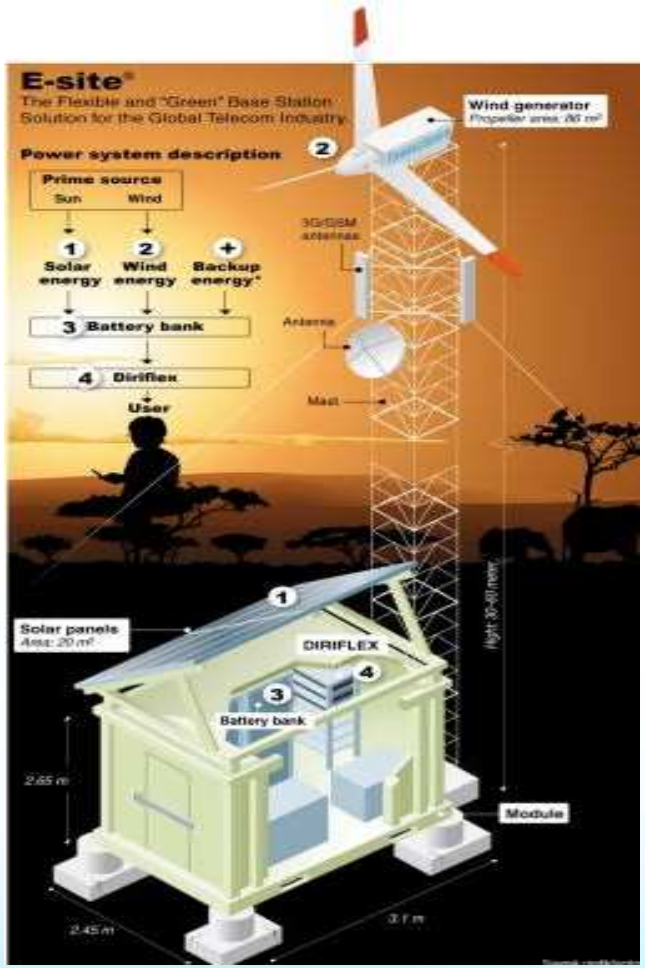
来源: IBM 2007
*油价为每桶60美元

服务器功耗成本 = 购买服务器的成本

SOPC WORLD

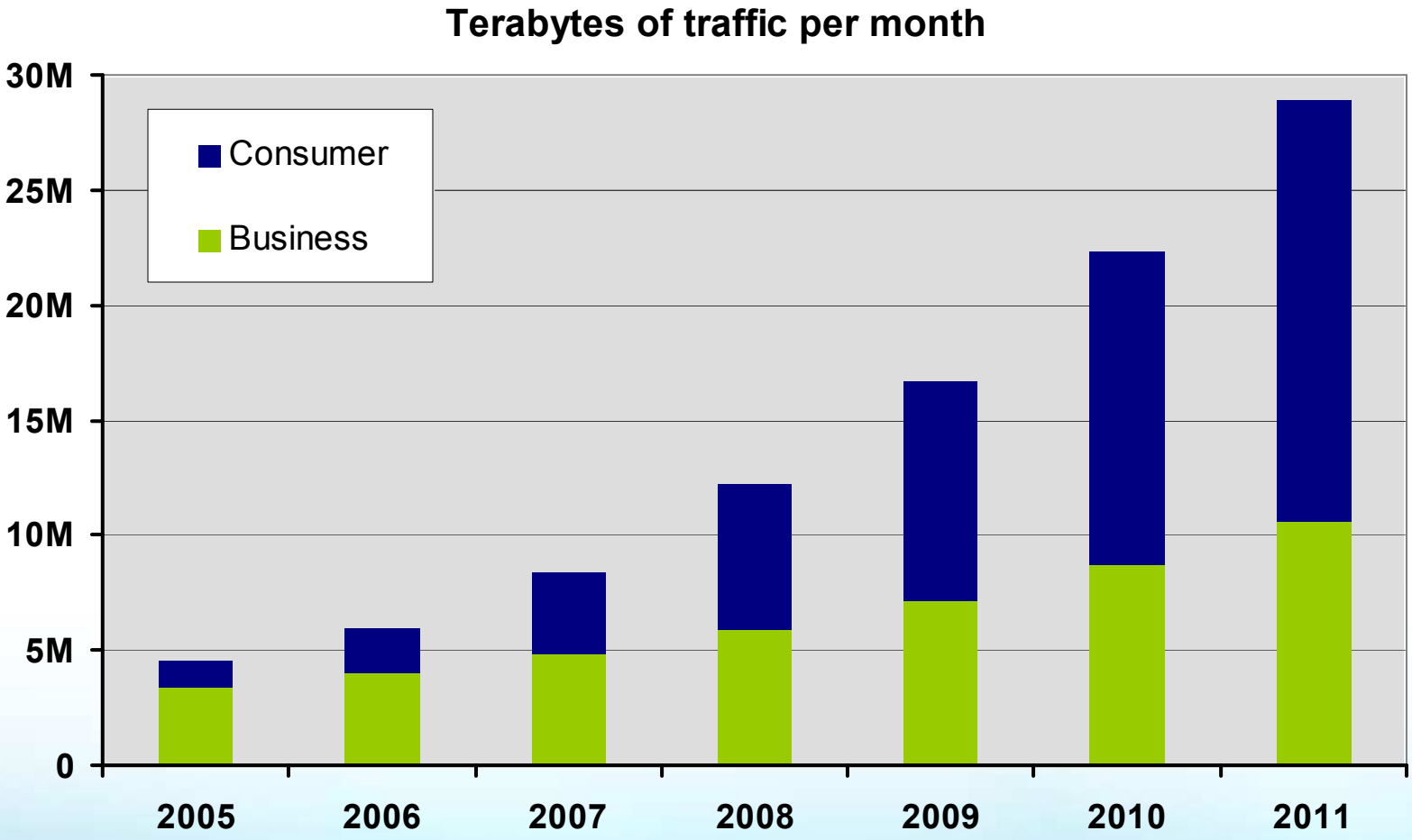
功耗挑战的例子

- 非洲移动网络的40,000个基站
- 每个柴油发电基站，每年消耗大约20,000公升(5,283加仑)柴油
- 运营商寻找降低基站运营成本的新方法



来源: Flexenclosure

互联网每月流量达到万亿比特



网络流量主要来自消费类

来源: Cisco 4/07

功耗和性能优化方法

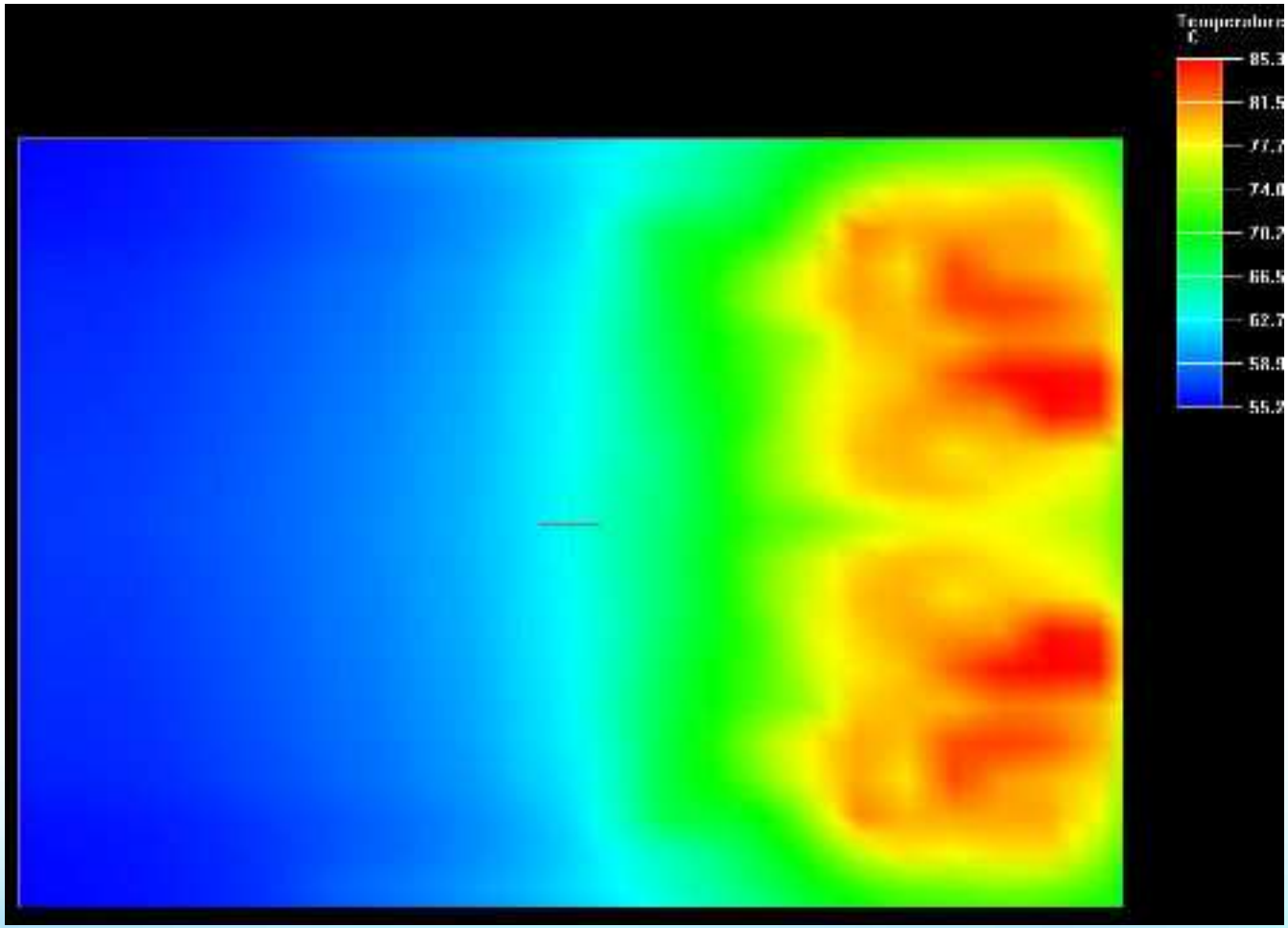
芯片设计

系统设计

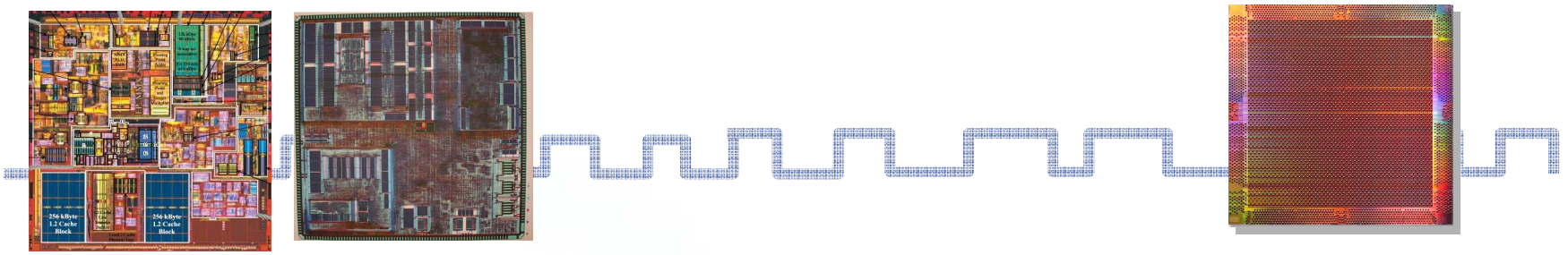
关注的领域	方法
工艺技术	V_t Leff 硅片搀杂 三次门氧化 电压供电电平 金属互联
IC设计	存储器类型(例如，SRAM、闪存、Fuss等) 器件体系结构 自适应偏置 关断电路 硬件IP
优化FPGA	RAM映射 本地化频繁触发的信号 以低功耗走线对频繁触发的信号进行布线 时钟关断，时钟布局 通过综合来减少触发
FPGA加速器	并行 硬件加速 协处理

SOPC WORLD

多核功耗分布



可编程解决方案：1985-2002



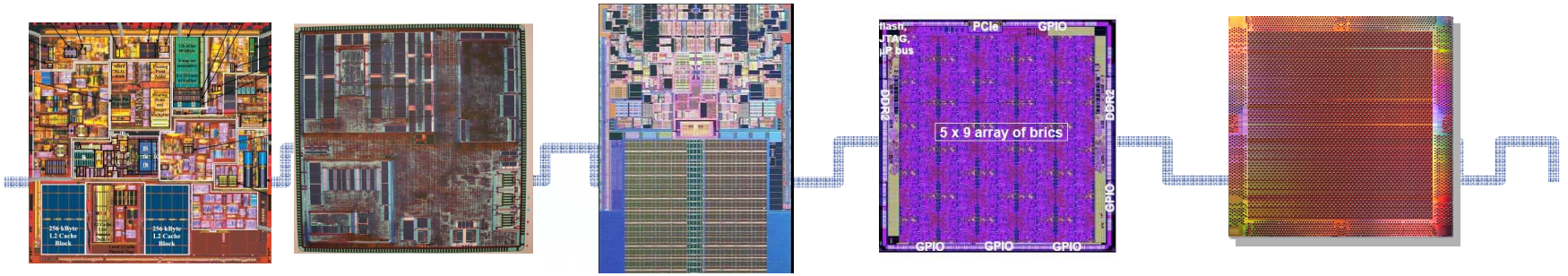
CPU　　DSP　　FPGA

单核

精细粒度
密集并行阵列

SOPC WORLD

可编程解决方案：2002-20XX



CPU **DSP** 多核 阵列 **FPGA**

单核

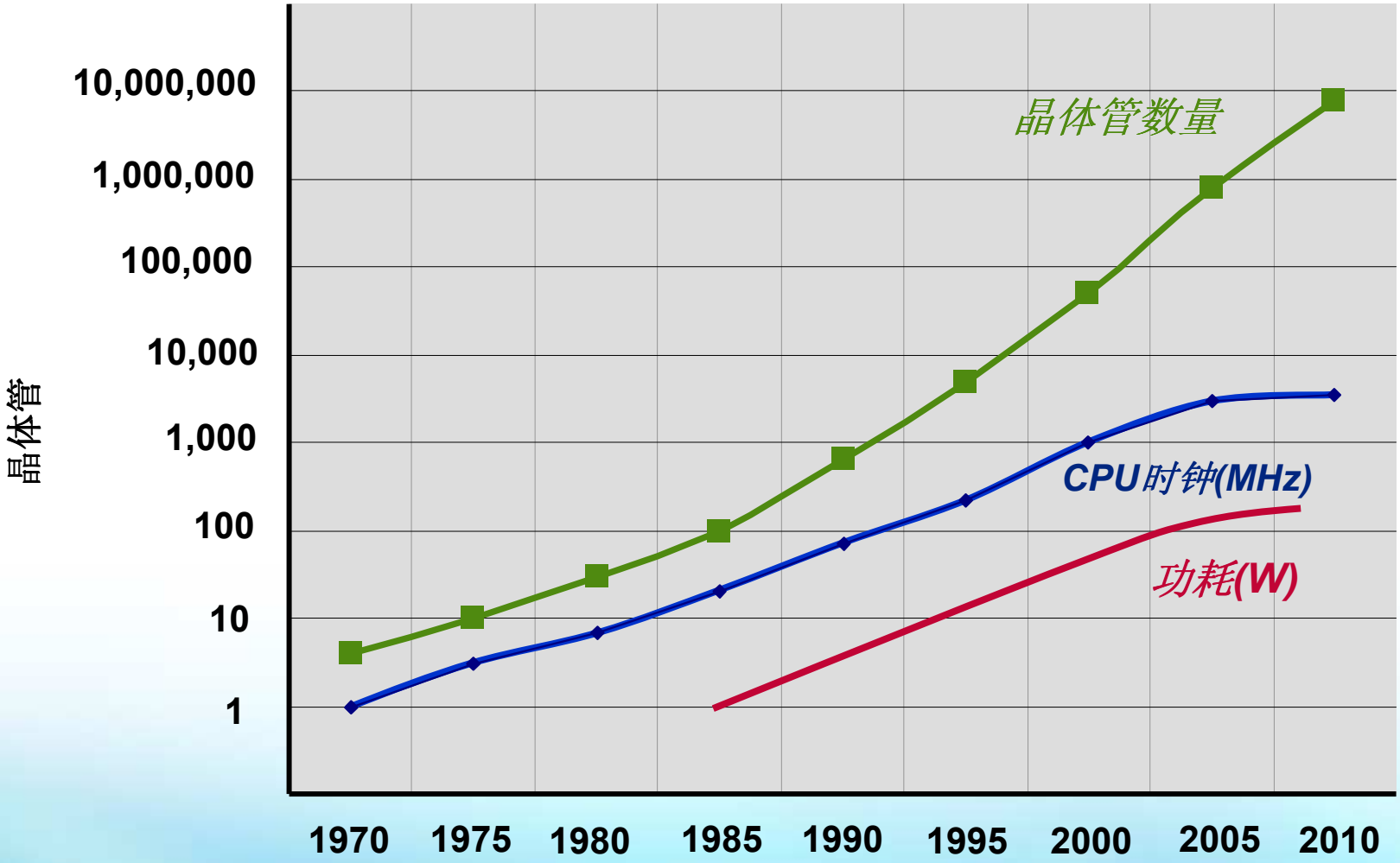
多核
粗粒度
CPU和DSP

粗粒度
密集
并行
处理器
阵列

精细粒度
密集并行阵列

SOPC WORLD

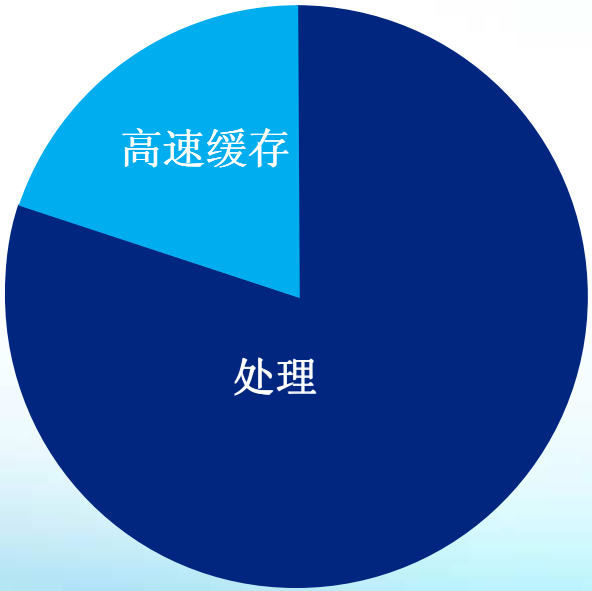
单CPU技术的局限



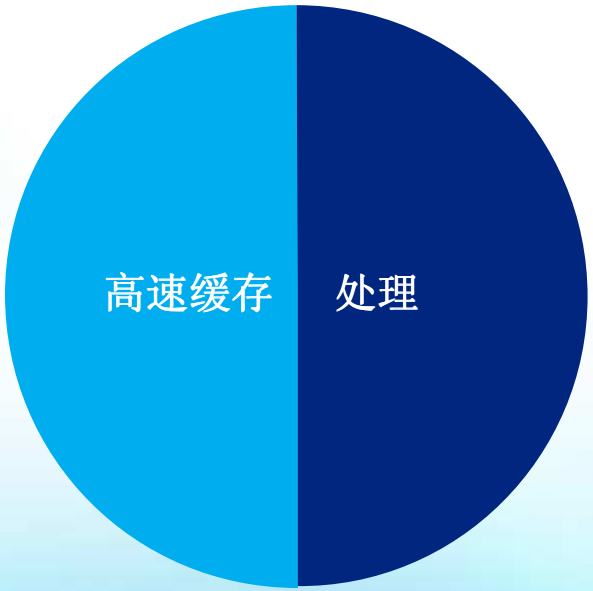
单CPU中晶体管的使用

- 多级高速缓存
  - 瓶颈在于CPU对主存储器的访问

1990年晶体管的使用

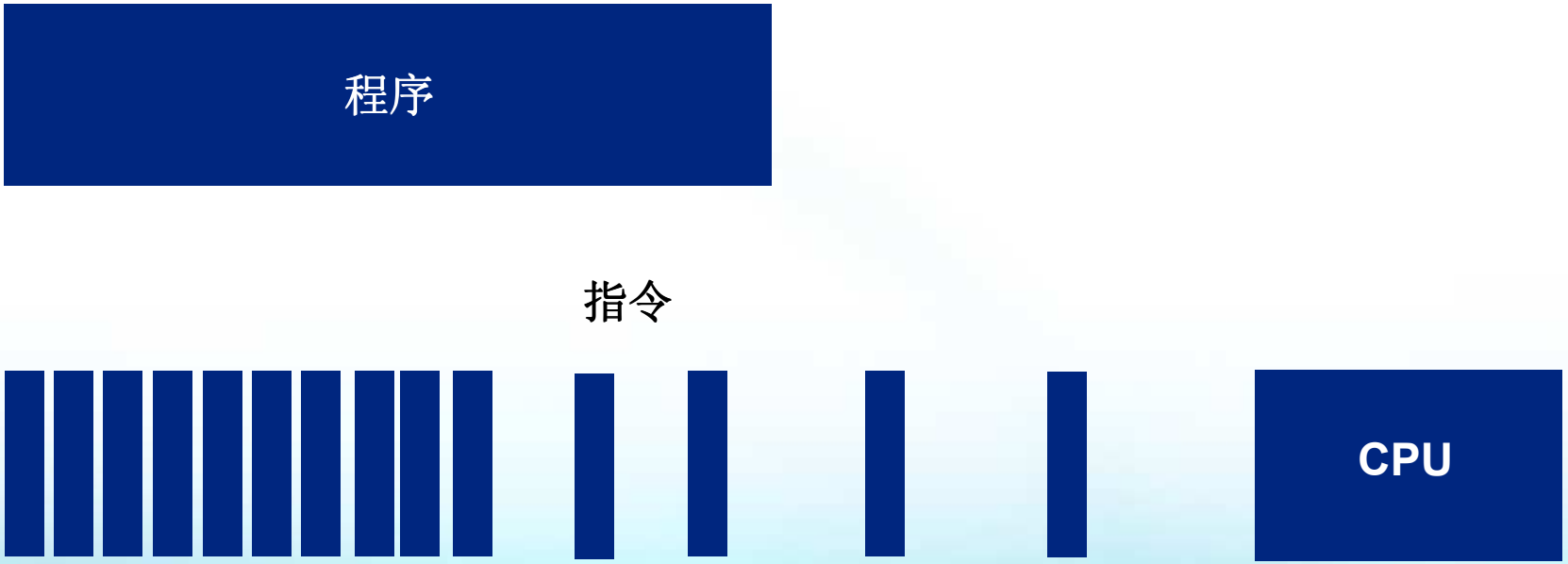


2000年晶体管的使用



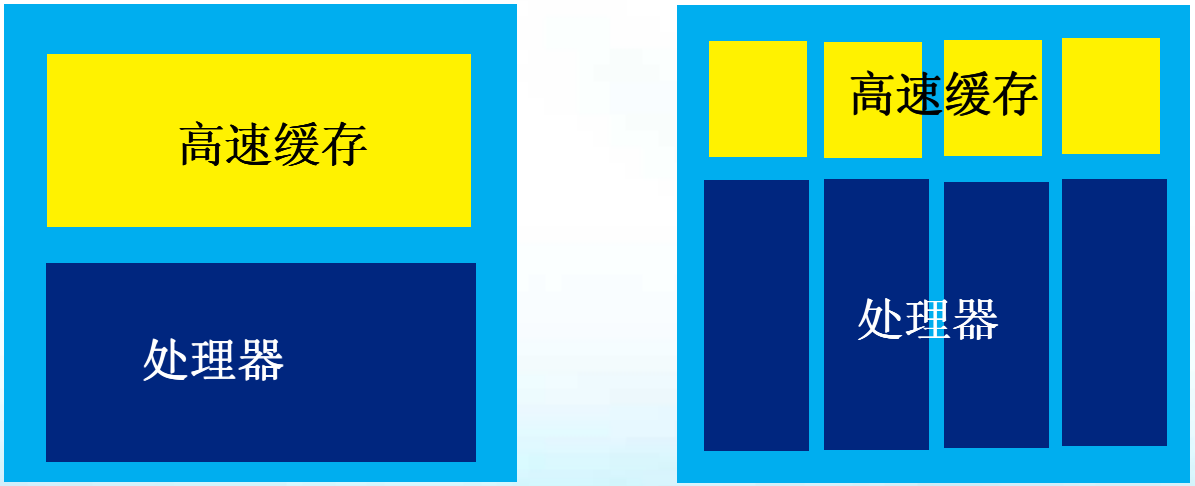
顺序计算

- 达到极限
  - 四十年的成功之后…



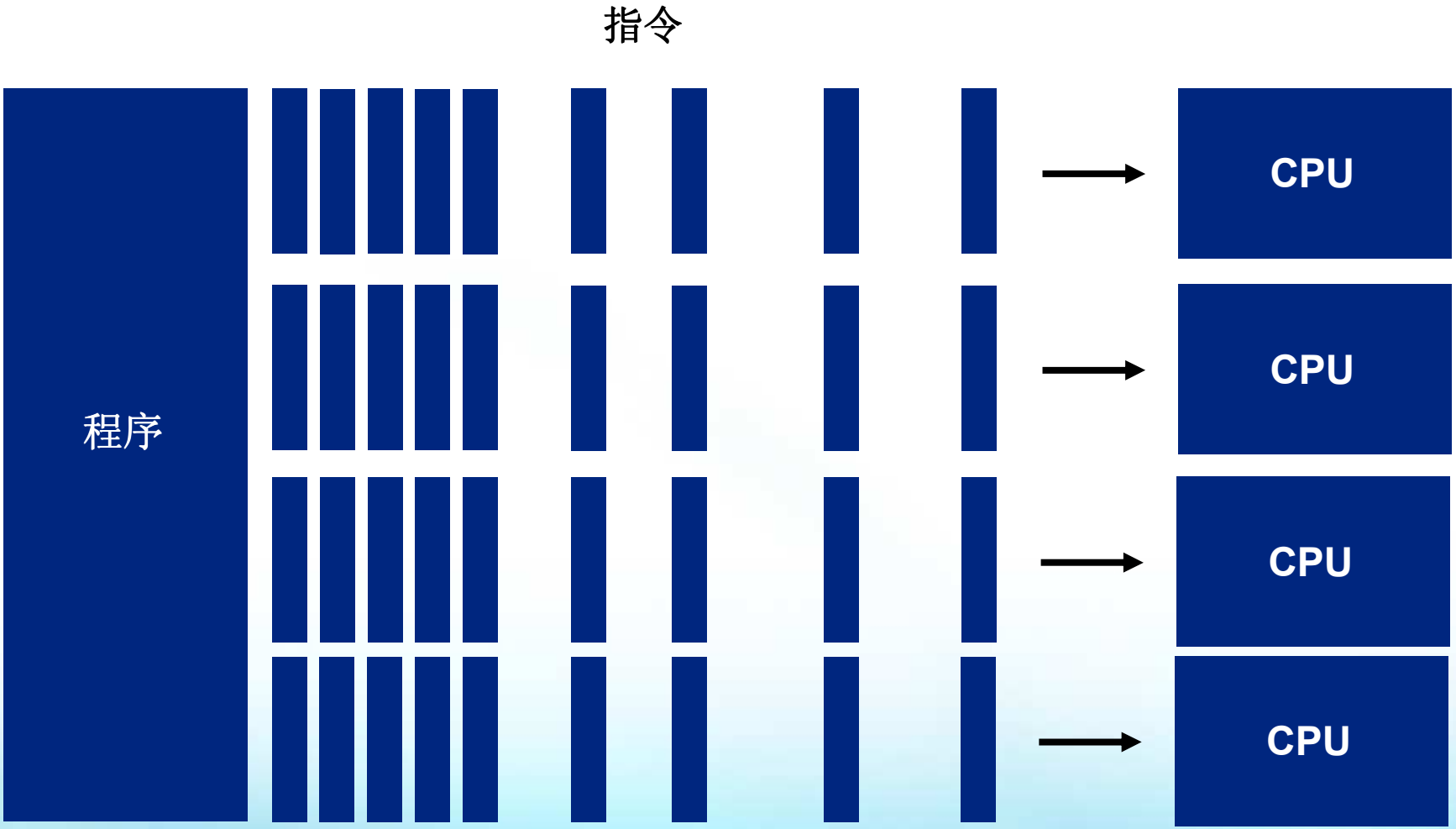
解决方法：多核体系结构

- 在一个芯片上探索并行方案
  - 充分利用摩尔定律
  - 降低功耗
- 使用更多的晶体管进行信息处理

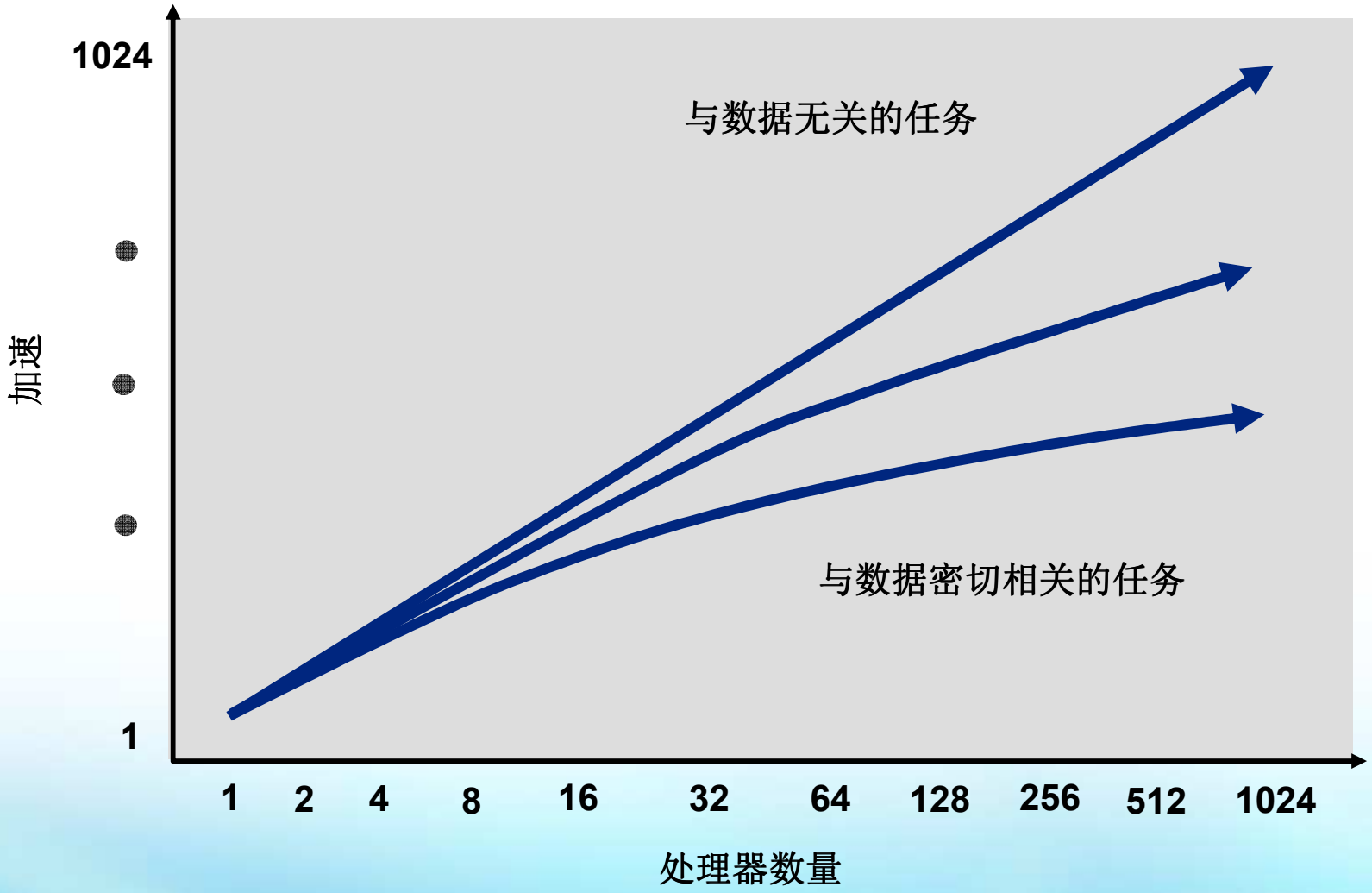


SOPC WORLD

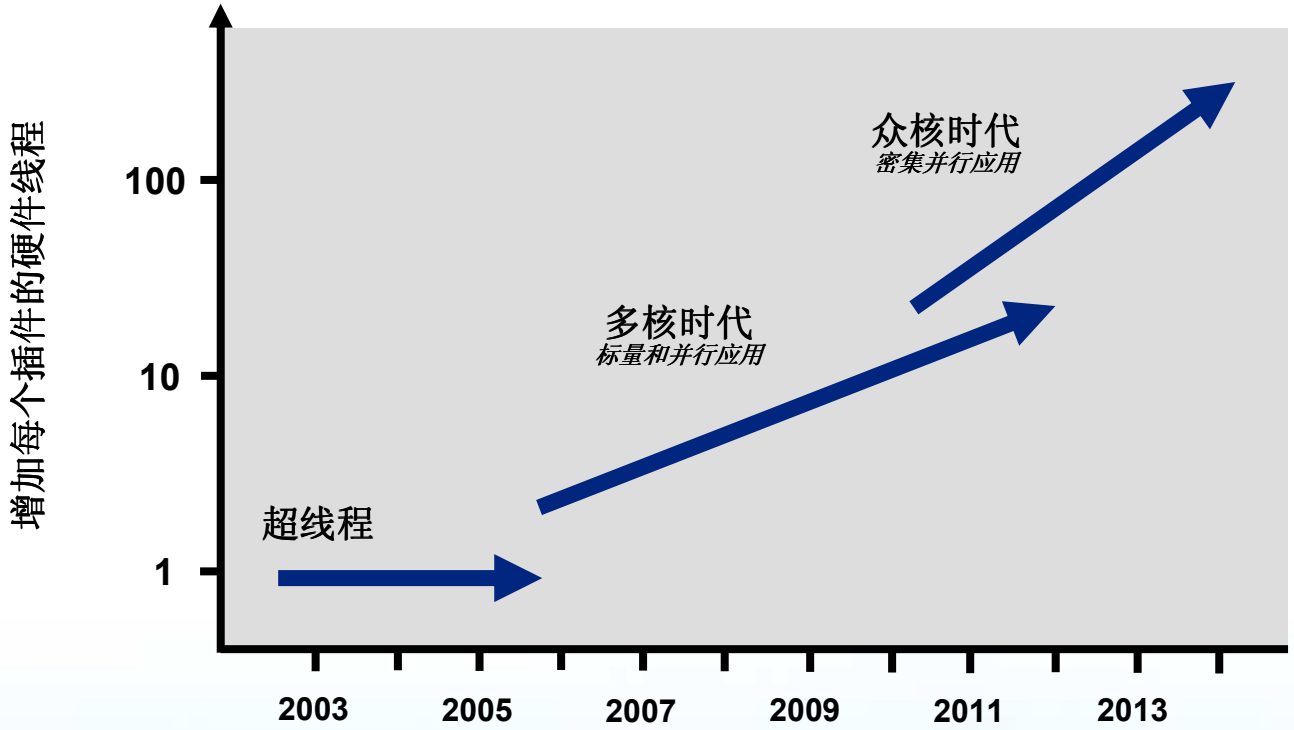
并行加速：简图



多核并行加速：实际



处理器走向并行



*“在最初的**Intel Pentium**上我们开始采用超标量体系结构。”*

*“我们计划在今后十年中实现具有数十个甚至数百个内核的**Intel**处理器。”*

—Paul Otellini, Intel CEO

未来应用——Micro 2015

处理器体系结构发展一瞥

在假想的Intel未来体系结构中，我们将所有可能出现的一切称之为 “Micro 2015”。这一假想的Micro 2015处理器特性包括：

单片中数百亿晶体管(按照摩尔定律的预测)

可配置的可靠电路模块，内置管理基本结构。

通过丰富的软件和硬件线程在所有层次上实现并行。在内置微核可配置体系结构中，芯片级多处理技术(CMP)将实现真正的并行，并具有多个低功耗IA内核。

固定功能专用低功耗硬件引擎包括，但是不限于，实时信号和图形处理。

组内以及组之间的高速互联链接内核，以及专用硬件和存储器。存储器互联带宽能够符合处理器的性能要求，达到每秒多吉比特。

内置虚拟和信任机制为应用程序和操作系统提供抽象层，以满足安全性、可靠性和管理需求。

与现有软件兼容，而具有万亿次的超级计算性能，新功能实现新应用、工作载荷和使用模型。

这只是很多未来体系结构中的一个例子，2015包含了很多功能，基于目前以及未来的发展趋势、需求和技术限制，这些功能有可能在Intel发展规划中实现，但是不一定。但无论如何，我们相信这清楚的勾画了未来发展的样子。

Paul Otellini, Intel总裁兼CEO
Keynote Address, IDF

www.intel.com/technology/computing/archinnov/platform2015/index.htm

未来的体系结构——Micro 2015

处理器体系结构发展一瞥

在假想的Intel未来体系结构中，我们将所有可能出现的一切称之为 “Micro 2015”。这一假想的Micro 2015处理器特性包括：

Tens of 单个芯片中有数十亿晶体管 (as predicted by Moore's

单个芯片中有数十亿晶体管

Reliable and 可配置电路模块 with a built-in management

可配置电路模块

在所有层次上实现并行 that will be handled through an

在所有层次上实现并行

multiple low-power IA cores in a reconfigurable architecture with a built-in microkernel.

Special-purpose, low-power hardware engines for fixed functions including, but not limited to, real-time signal processing and graphics.

High-speed interconnects linking cores within groups and among groups, as well as special-purpose hardware and memory. The memory interconnect bandwidth will match the performance requirements of the processor and be in the multiple gigabytes per second range.

Built-in virtualization and trust mechanisms providing layers of abstraction to the applications and the OS to meet security, reliability, and manageability requirements.

Compatibility with existing software while providing teraflops of supercomputer-like performance and new capabilities for new applications, workloads, and usage models

This is just one example of many possible architectural scenarios since Micro 2015 is a composite of many capabilities that may or may not be incorporated into Intel's roadmap based on current and future trends, requirements, and technological constraints. Nonetheless, we believe it fairly represents the overall shape of things to come.

Paul Otellini, Intel President & CEO
Keynote Address, IDF

intel

www.intel.com/technology/computing/archinnov/platform2015/index.htm

SOPC WORLD

未来的体系结构——Micro 2015

处理器体系结构发展一瞥

在假想的Intel未来体系结构中，我们将所有可能出现的一切称之为 “Micro 2015”。这一假想的Micro 2015处理器特性包括：

Tens of 单个芯片中有数十亿晶体管 (as predicted by Moore's

单个芯片中有数十亿晶体管

Reliable and 可配置电路模块 with a built-in management

可配置电路模块

在所有层次上实现并行 that will be handled through an

在所有层次上实现并行

multiple low-power IA cores in a reconfigurable architecture

专用低功耗硬件引擎实现实时信号处理

Special-purpose, low-power hardware engines for fixed functions including, but not limited to, real-time signal processing and graphics.

大规模高速全局可配置片内存储器

groups, as well as special-purpose hardware and memory. The memory interconnect bandwidth will match the performance requirements of the processor and be in the multiple gigabytes per second range.

Built-in virtualization and trust mechanisms providing layers of abstraction to the applications and the OS to meet security, reliability, and manageability requirements.

Compatibility with existing software while providing teraflops of supercomputer-like performance and new capabilities for new applications, workloads, and usage models

This is just one example of many possible architectural scenarios since Micro 2015 is a composite of many capabilities that may or may not be incorporated into Intel's roadmap based on current and future trends, requirements, and technological constraints. Nonetheless, we believe it fairly represents the overall shape of things to come.

Paul Otellini, Intel President & CEO
Keynote Address, IDF

intel

www.intel.com/technology/computing/archinnov/platform2015/index.htm

SOPC WORLD

未来的体系结构——Micro 2015

处理器体系结构发展一瞥

在假想的Intel未来体系结构中，我们将所有可能出现的一切称之为 “Micro 2015”。这一假想的Micro 2015处理器特性包括：

Tens of 单个芯片中有数十亿晶体管 (as predicted by Moore's

单个芯片中有数十亿晶体管

Reliable and 可配置电路模块 with a built-in management

可配置电路模块

在所有层次上实现并行 that will be handled through an

在所有层次上实现并行

multiple low-power IA cores in a reconfigurable architecture

专用低功耗硬件引擎实现实时信号处理

Special-purpose, low-power hardware engines for fixed functions including, but not limited to, real-time signal processing and graphics.

大规模高速全局可配置片内存储器

groups, as well as special-purpose hardware and memory. The memory interconnect bandwidth will match the performance requirements of the processor and be in the multiple gigabytes per second range.

Built-in virtualization and trust mechanisms providing layers of

组内和组之间的高速互联链接内核

Compatibility with existing software while providing teraflops of supercomputer-like performance and new capabilities for new applications, workloads, and usage models

This is just one example of many possible architectural

与现有软件兼容

on current and future trends, requirements, and technological constraints. Nonetheless, we believe it fairly represents the overall shape of things to come.

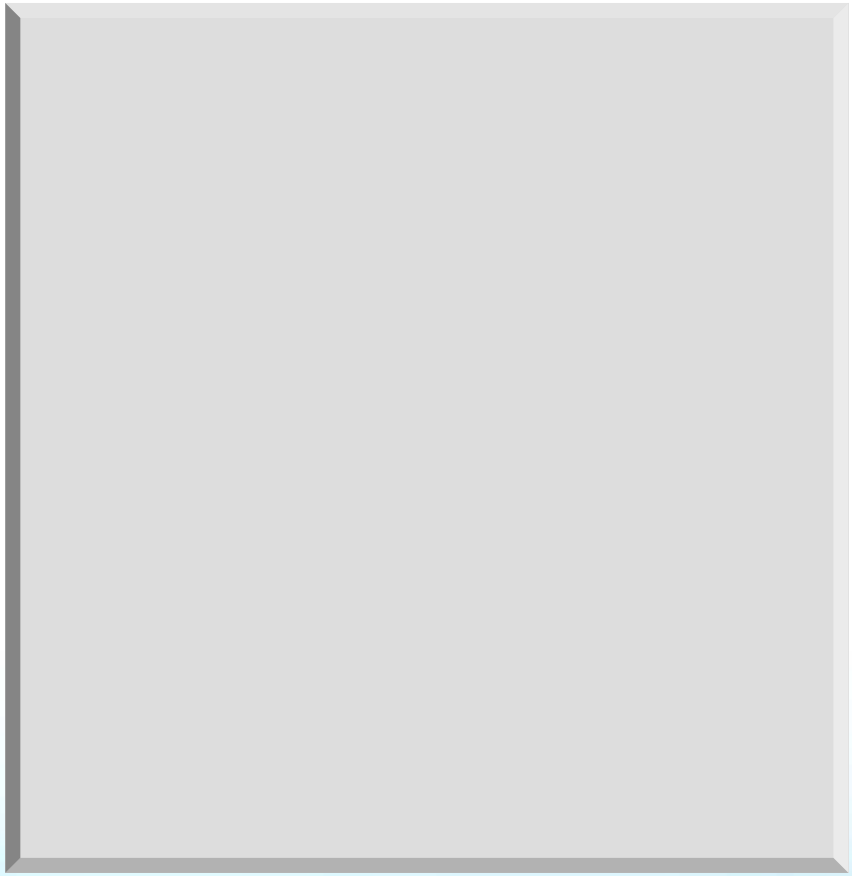
Paul Otellini, Intel President & CEO
Keynote Address, IDF

intel

www.intel.com/technology/computing/archinnov/platform2015/index.htm

SOPC WORLD

让我们构建未来...



SOPC WORLD

让我们构建未来...

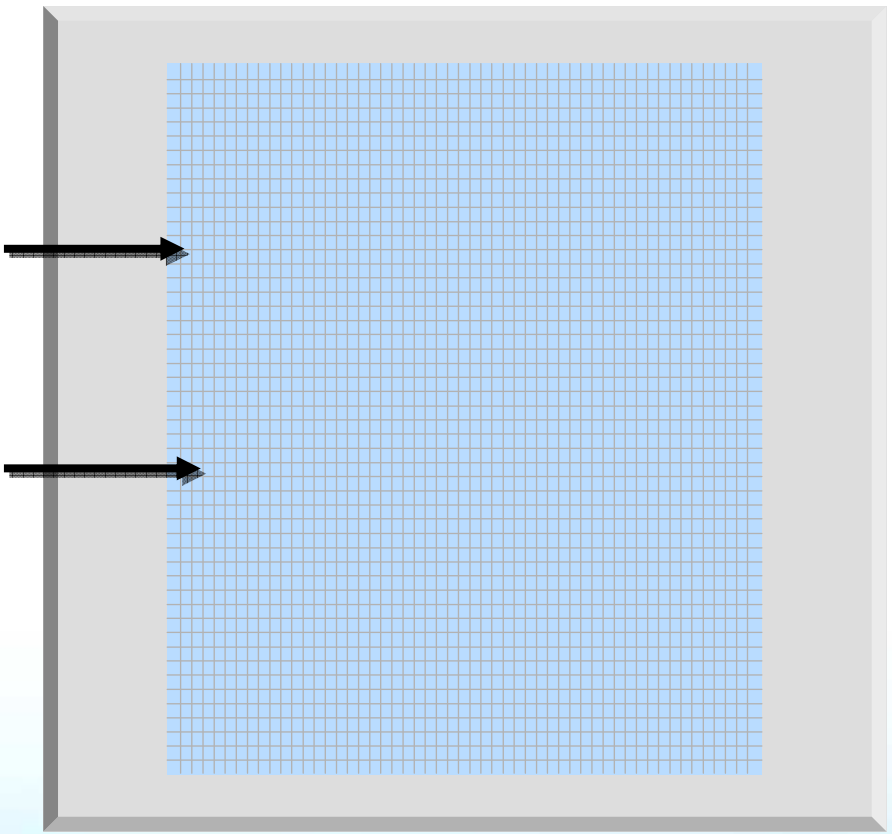
单个芯片中数十亿的晶体管

~2.5B晶体管

可配置电路模块

7 M可配置逻辑门

在所有层次上实现并行



SOPC WORLD

让我们构建未来...

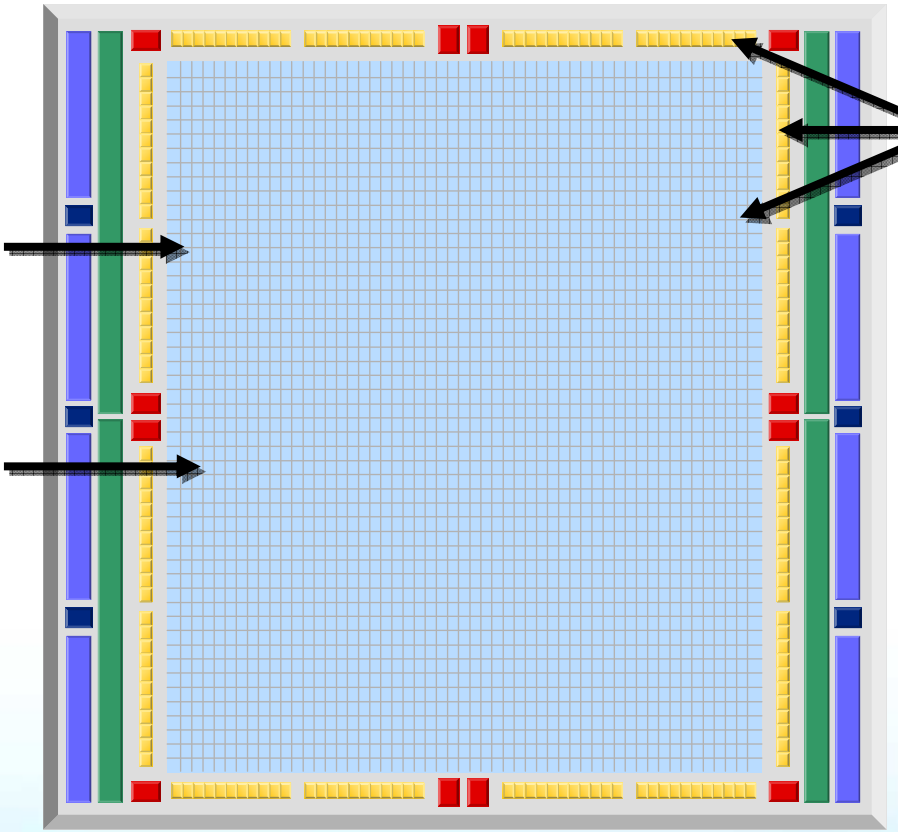
单个芯片中数十亿的晶体管

~2.5B晶体管

可配置电路模块

7 M可配置逻辑门

在所有层次上实现并行



组内和组之间的高速互联链接内核

1.62-Gbps LVDS I/O
>1,000 I/O引脚

SOPC WORLD

让我们构建未来...

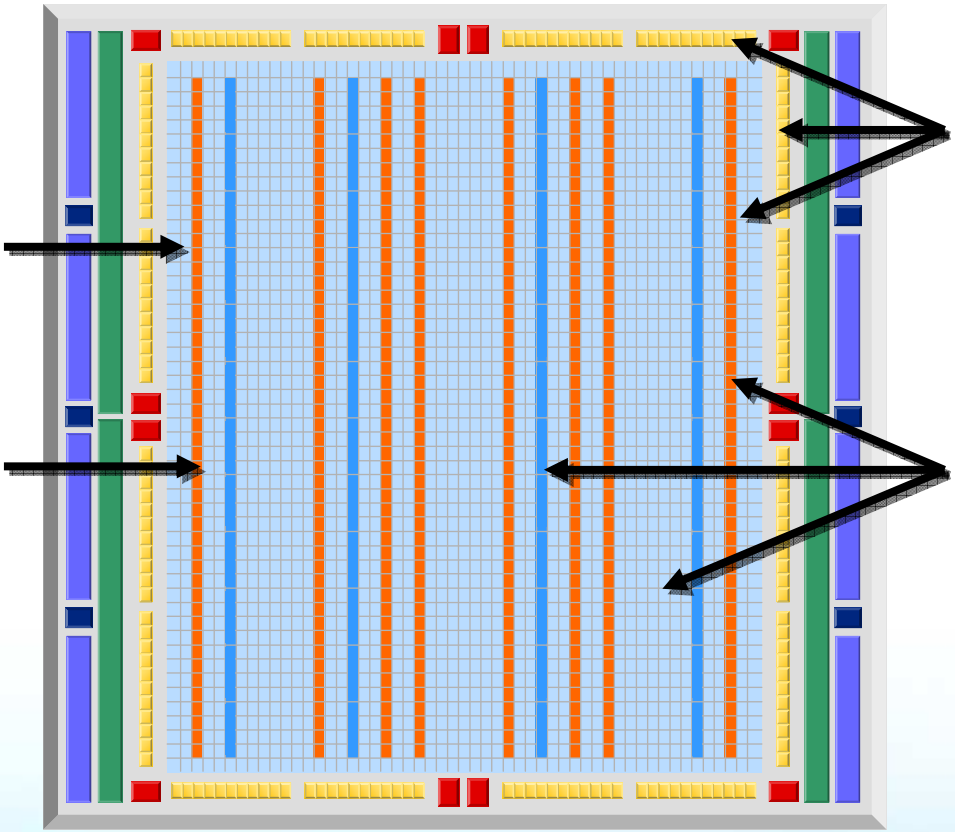
单个芯片中数十亿的晶体管

~2.5B晶体管

可配置电路模块

7 M可配置逻辑门

在所有层次上实现并行



组内和组之间的高速互联链接内核

1.62-Gbps LVDS I/O
>1,000 I/O引脚

大规模高速全局可配置片内存储器

22-Mbits和
36-Tbps带宽

内置ECC

SOPC WORLD

让我们构建未来...

单个芯片中数十亿的晶体管

~2.5B晶体管

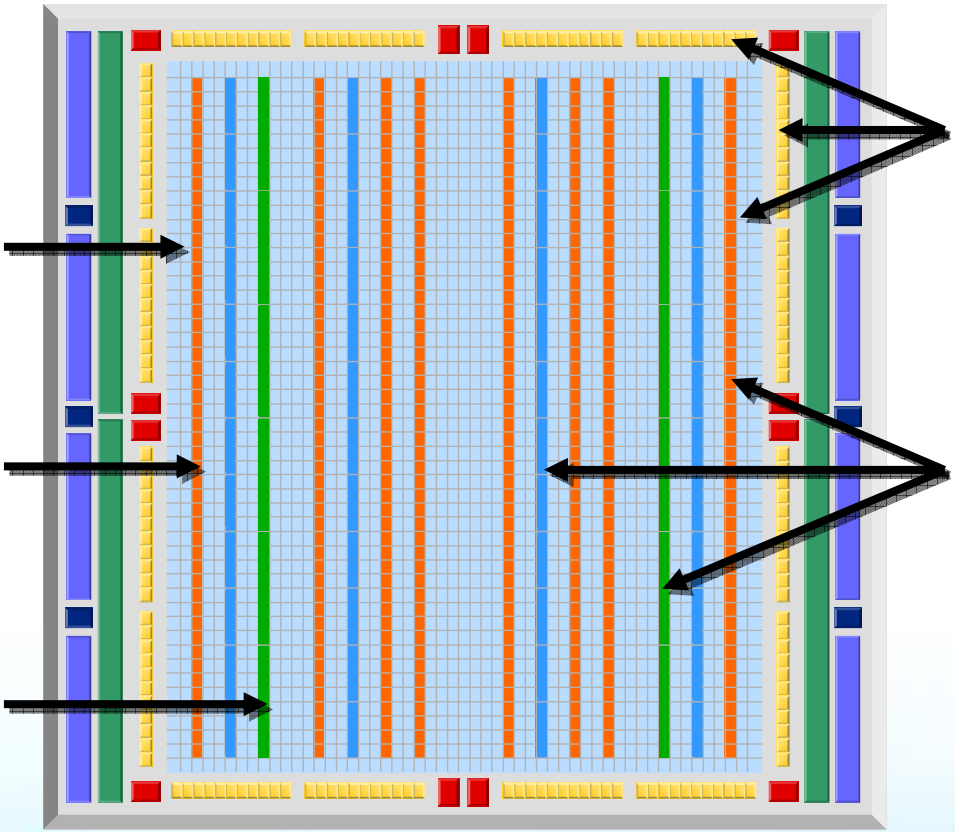
可配置电路模块

7 M可配置逻辑门

在所有层次上实现并行

专用低功耗硬件引擎
实现实时信号处理

嵌入式DSP加速
748 GMACS



组内和组之间的高速互联
链接内核

1.62-Gbps LVDS I/O
>1,000 I/O引脚

大规模高速全局
可配置片内存储器

22-Mbits和
36-Tbps带宽

内置ECC

与现有软件兼容

标准HDL设计和综合

SOPC WORLD

让我们构建未来...

单个芯片中数十亿的晶体管

~2.5B晶体管

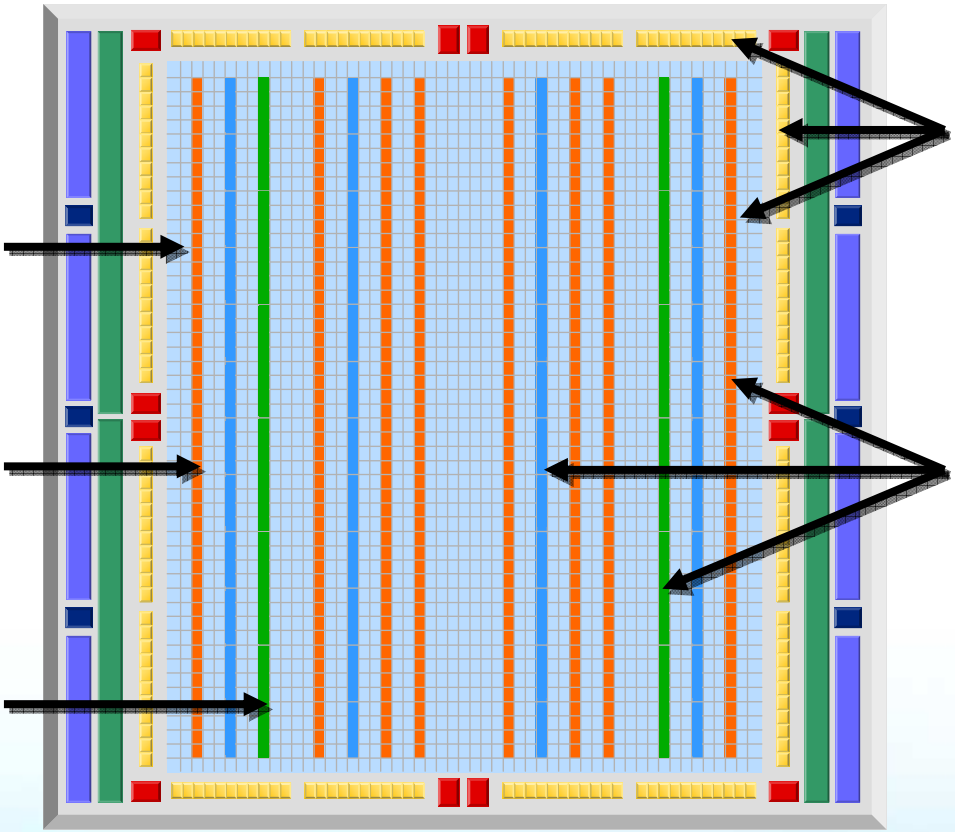
可配置电路模块

7 M可配置逻辑门

在所有层次上实现并行

专用低功耗硬件引擎
实现实时信号处理

嵌入式DSP加速
748 GMACS



组内和组之间的高速
互联链接内核

1.62-Gbps LVDS I/O
>1,000 I/O引脚

大规模高速全局
可配置片内存储器

22-Mbits和
36-Tbps带宽

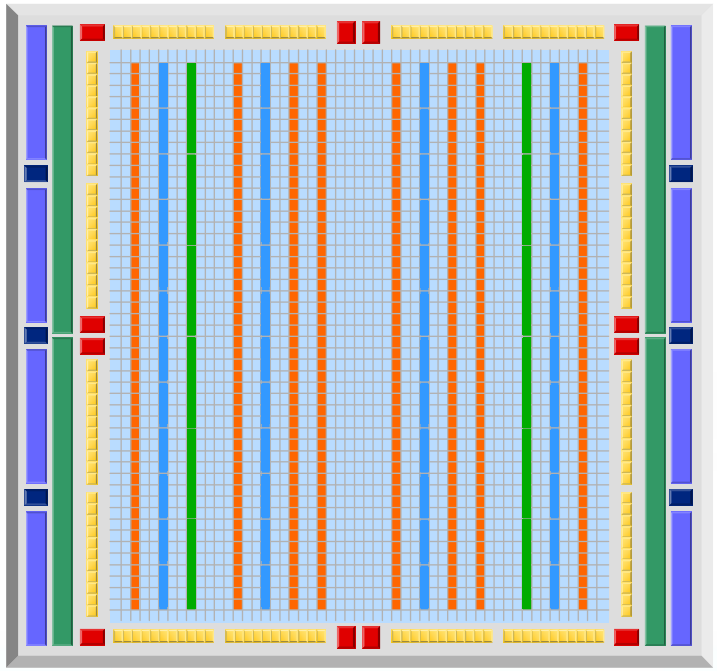
内置ECC

与现有软件兼容

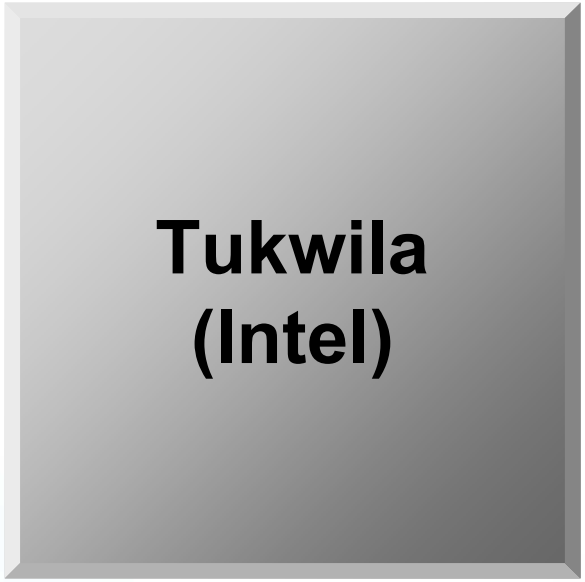
标准HDL设计和综合

Stratix® IV EP4SGX530 FPGA

低功耗、高性能芯片



Stratix IV EP4SGX530 FPGA
25亿晶体管
10至20 W



Intel Tukwila器件
20.5亿晶体管
130至170 W

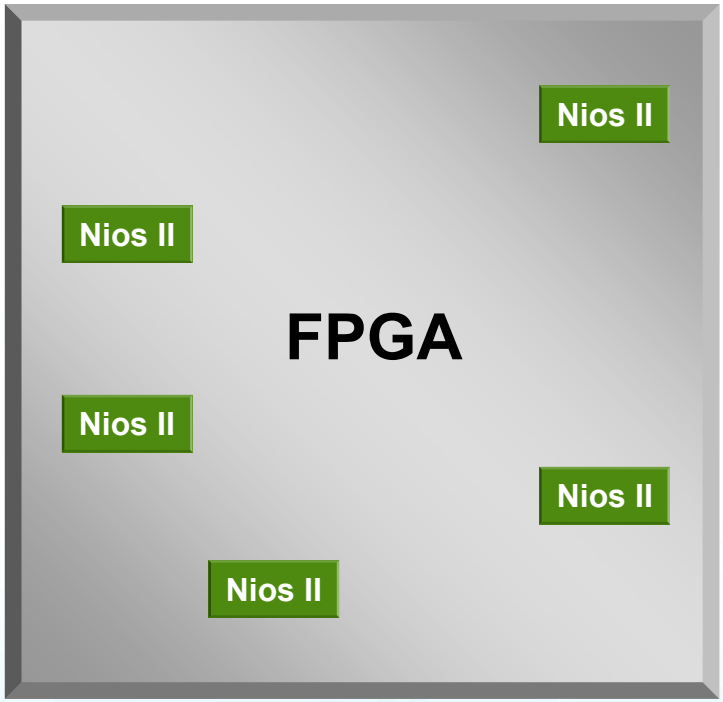
SOPC WORLD

可实现嵌入式软核CPU

小容量Cyclone® III FPGA
10,000个逻辑单元(LE)

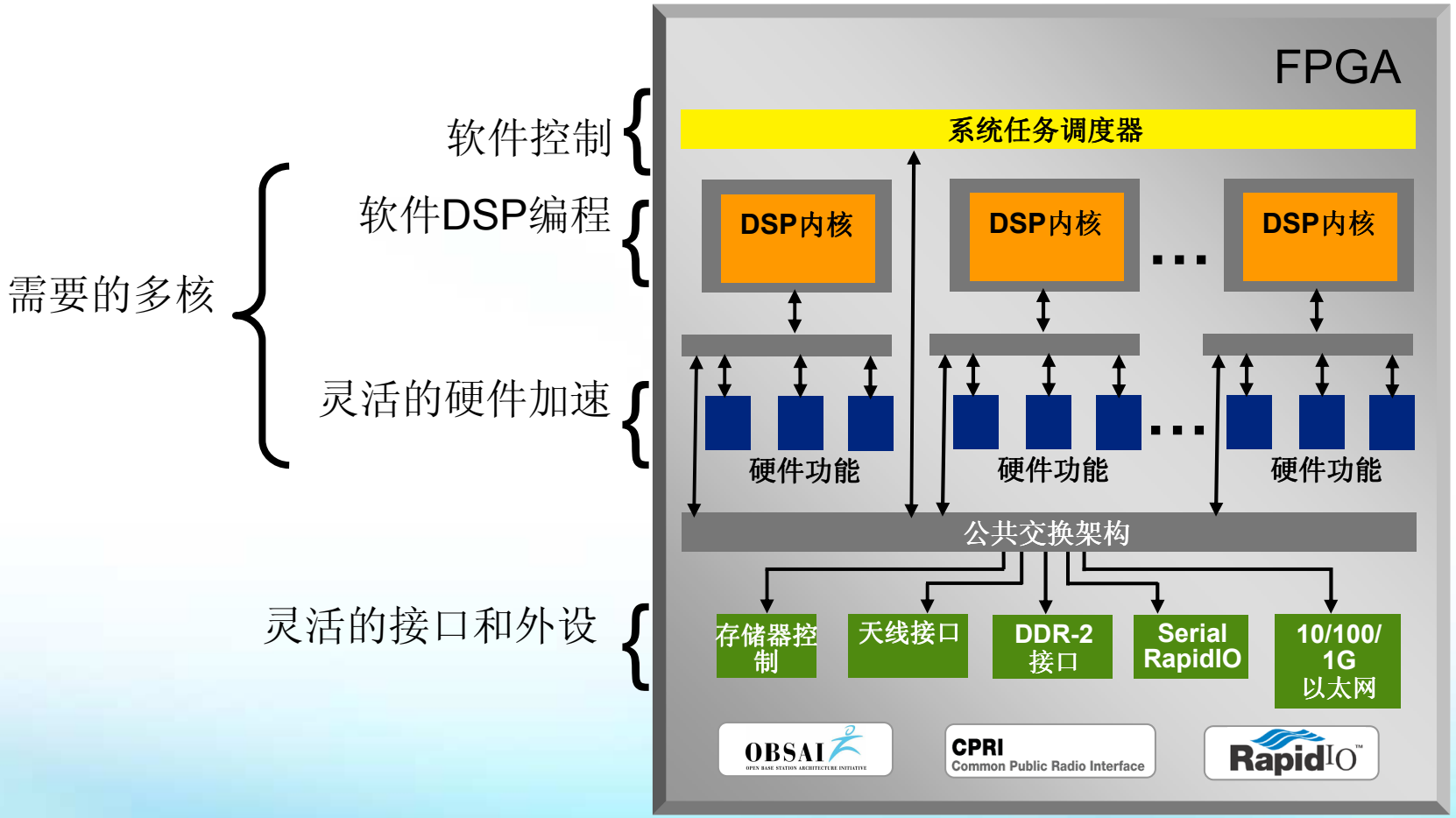
600 LE
FPGA的5%
Nios® II/e “经济型”处理器

容量最大的Stratix IV FPGA
680,000个LE



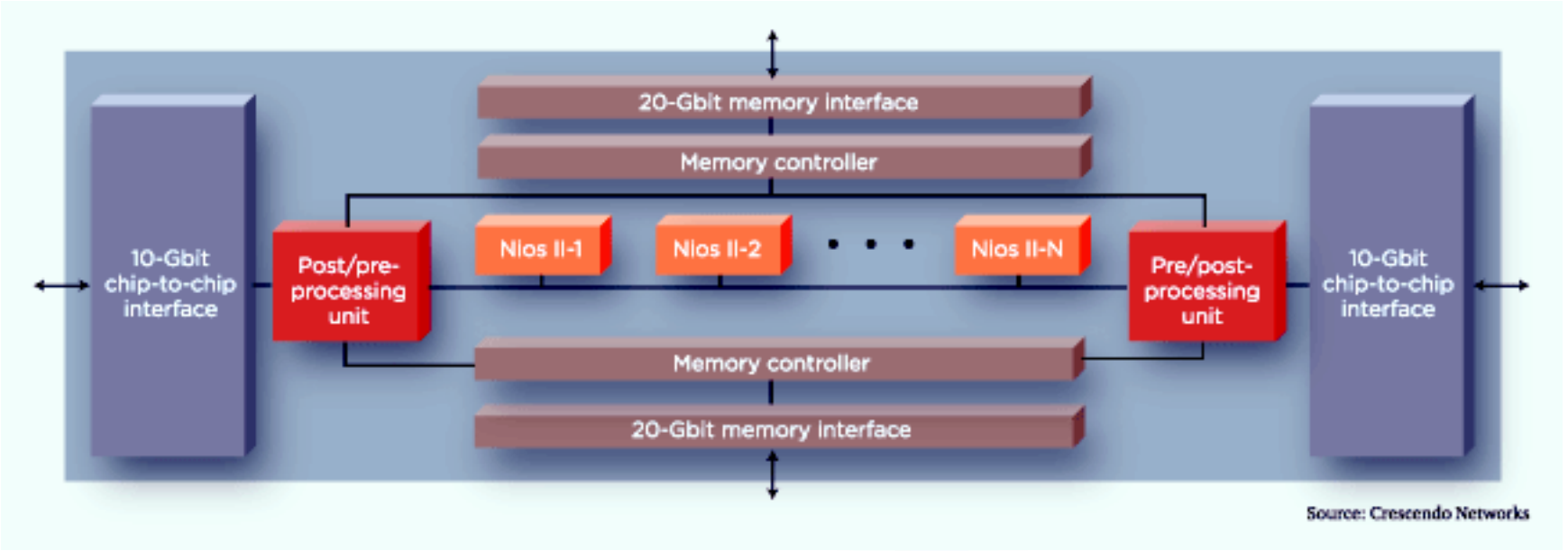
1,800 LE
FPGA的0.3%
Nios II/f “快速型”处理器

FPGA上的可定制多核芯片系统(SOC)



SOPC WORLD

FPGA上的多核：Crescendo网络



- 可编程8处理器体系结构
- 使用嵌入式Nios II软核处理器
- 在单片Stratix II FPGA中实现
- 面向4/7层应用

SOPC WORLD

总结

- 关注降低功耗的新时代
  - 从手持式应用到基础设施应用
- 可编程解决方案的时代
  - 所有处理器都将是多核的
- 创新的时代
  - 密集并行可编程解决方案
- FPGA体系结构实现功耗更低、性能更好的解决方案

SOPC WORLD

谢谢