

Libero IDE v8.4 环境下的 F P G A 数字系统设计

陈进军^{1, 2}, 陈特放¹

(1.中南大学 信息科学与工程学院, 湖南 长沙 410075;

2.湖南现代物流职业技术学院, 湖南 长沙 410131)

摘要: 详细介绍了在 Actel 公司 Libero 集成开发环境下, 利用各种集成的工具和 EDA 软件进行 FPGA 设计的过程和方法。通过具体实例, 介绍了通过混合使用 VHDL 硬件编程语言、SmartDesign、IP 核等多种设计手段实现一个双端口 RAM 的方法, 并给出相应的仿真效果。

关键词: Libero IDE; FPGA; VHDL; SmartDesign; IP 核; 数字设计

中图分类号: TP311

文献标识码: A

Digital design based on FPGA in Libero integrated development environment

CHEN Jin Jun^{1,2}, CHEN Te Fang¹

(1.School of Information Science and Engineering, Central South University, Changsha 410075, China;

2.Hunan Modern Logistics Occupation Technical College, Changsha 410000, China)

Abstract: The procedures and method by which FPGA is designed with all kinds of tools and third-party software in Libero integrated development environment are introduced in detail. Then, an instantiation has been given to illustrate how to mix up several methods such as VHDL hardware programming language, SmartDesign and IP core together to realize double port RAM. Moreover, the simulation results have been given.

Key words: Libero IDE; FPGA; VHDL; SmartDesign; IP Core; digital design

Actel 公司第三代基于 Flash 架构的 FPGA, 不仅具有 SRAM FPGA 高性能、可重复编程等优点, 而且具有 ASIC 特征。它的优势包括单芯片、掉电非易失、上电即行、低功耗、高安全性、固件错误免疫、片上 NVM、低单位成本、低系统成本、无 NRE 费用、快速原型设计、在系统重复可编程等, 是一个可以应用于多种场合并面向大批量生产的 FPGA。Actel 提供最安全的 FPGA, 是反熔丝技术和 Flash 技术 FPGA 的领导厂商。Actel 的 A3P 系列提供 flash lock(128 位)和 AES(128 位)加密, 且价格比 Xilinx 和 Altera 同规模的器件要便宜, 是 Actel 的主推产品。Actel 推出的 Fusion 可编程系统芯片, 在同一颗芯片上集成了数字逻辑、模拟功能、高达 8 Mbit 的 Flash Memory 以及 FPGA 的 Fabric, 可应用于很多先前由价格高昂和耗费空间的分立模拟元件或混合信号 ASIC 解决方案来实现的应用领域。Actel IGLOO 系列是业界最低功

耗的现场可编程门阵列 (FPGA) 产品, 是中国市场便携式应用设计的理想选择。这个以 Flash 为基础产品系列的静态功耗为 5 μ W, 是最接近竞争产品功耗的四分之一; 与目前领先的 PLD 产品比较, 可延长便携式应用的电池寿命达 5 倍, 奠定了低功耗的新标准。

1 Libero IDE 介绍

Libero 集成设计环境 (IDE) 是 Actel 针对其所有 FPGA 设计的一套完备的软件工具套件。Libero IDE 能快速有效地管理整个设计流程, 从设计、综合和仿真, 到基础规划、布局布线、时序约束和分析、功率分析以及程序文件生成。Libero 的第二代智能设计工具 SmartDesign 为轻松创建完整的、基于简单和复杂处理器的系统级芯片 (SoC) 设计提供了有效的方法。

2 在 Libero IDE 环境下 FPGA 的设计流程

结合 Libero 集成开发环境的设计流程, 分别介绍设

计模块的功能和特点。设计流程如图 1 所示。

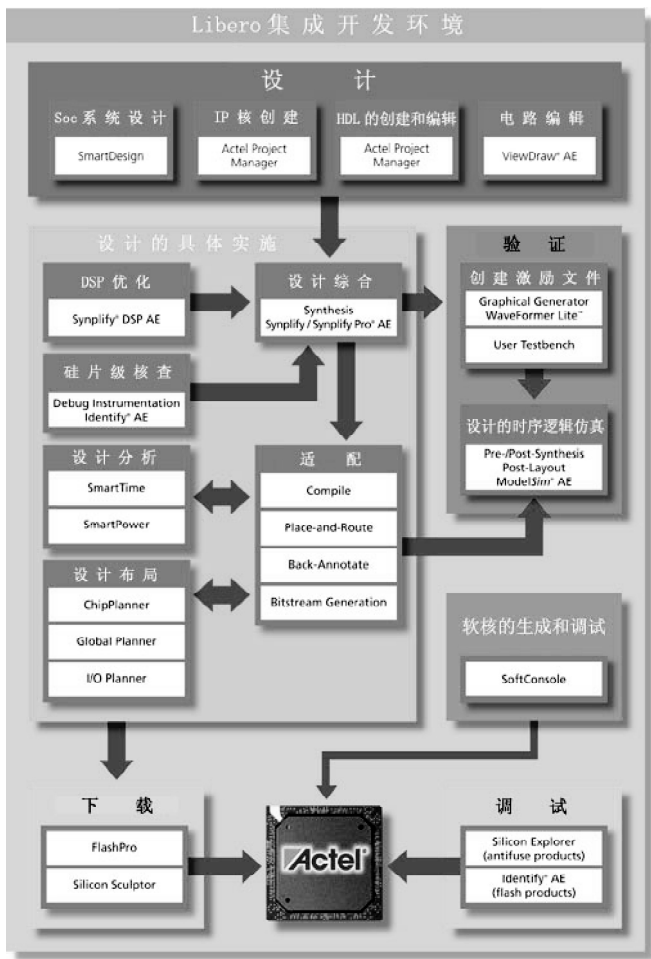


图 1 FPGA 设计开发流程

首先，在完成了设计的初步构想和定义之后将电路系统以一定的表达式输入计算机，是在 EDA 软件平台上 FPGA 开发的最初步骤。通常，使用 EDA 工具的设计输入可分为图形输入和 HDL 文本输入 2 类。SmartDesign 是 Actel 公司新开发的一个图形输入工具，在 ViewDrawer 图形输入工具的基础上增加了自动连线、自动布局、集成总线等多种功能，大大提高了图形输入的效率。HDL Editor 是 Libero 集成开发环境下简单易用的输入工具，Catalog 工具栏中列举出 VHDL 和 Verilog HDL 的常用语法关键词，方便输入的时候调用，提高了文本输入的速度和准确度。这两类输入方法各有优缺点，在实际 FPGA 数字电路设计中往往利用原理图设计系统的顶层电路，输入方法直观，便于理解；利用 HDL 的设计输入法的可移植性、通用性好，利于模块的划分和复用，并且不因芯片的工艺与结构的变化而变化等优点来设计系统中的子模块，从而使得设计更加灵活。另外，Libero 集成开发环境还提供了 IP 生成器，是 Actel FPGA 设计中的一个重要的设计输入工具，它提供了大量 Actel 和第三方公司设计的成熟、高效的 IP 核为用户所用，能大幅度地减轻工

程师的设计工作量，提高设计质量。

当设计的输入工作完成后，对所输入设计的时序和逻辑进行仿真。即令计算机根据一定的算法和一定的仿真库对 EDA 设计进行模拟，以验证设计，排除错误，是 FPGA 设计过程中的重要步骤。Libero 集成开发环境中，通过 ModelSim、Stimulus Editor、WaveFormer 3 个工具来实现所有的仿真功能，其中 Stimulus Editor 和 WaveFormer 主要用来生成仿真所需要的激励文件。在生成了激励文件以后 Libero 集成开发环境会自动启动 ModelSim 来进行仿真。ModelSim 是业界最流行的仿真工具之一，它是一种软件仿真，其主要特点是仿真速度快、精度高、可支持 VHDL、Verilog HDL 以及两者混合编程的仿真，所以得到广泛的应用。在设计输入完成以后的第一次仿真叫做功能仿真，是在不考虑器件延时的理想情况下对源代码直接进行逻辑功能的验证，它与电路最终的实际运行情况可能有一定的差距。

在功能仿真没有问题以后，将进行综合。整个综合过程就是将设计者在 EDA 平台上编辑输入的 HDL 文本、原理图或状态图形描述，依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述网表文件。由于合理选择综合器能够使设计占用芯片的物理面积最小、工作频率最快，所以 Libero 集成开发环境采用了 Synplify 公司为 Actel 公司的 FPGA 器件进行的专门优化的 Synplify 综合工具。

综合完成后需要再进行一次仿真，以检查综合结果和设计是否一致。这次仿真由于加入了对门级电路延时的估算，所以比前面的功能仿真要准确，但是只能估计门延时，而不能估计线延时，因此其仿真结果与布线后的实际情况有一定的差距，并不十分准确。如果仿真过程中发现某些部分出现错误，必须通过查找出错误所在位置并回到设计输入部分进行更正，然后再进行综合仿真，直到仿真结果与设计一致为止。

综合完成以后把综合得到的逻辑网表对应到特定的 FPGA 器件中去，这时候就需要一些适配工具来完成这个工作。Libero 集成开发环境中适配工具来完成底层器件配置、逻辑分割、逻辑优化、逻辑布局布线操作。

布局布线完成以后得到一个全面的设计延时文件，其中既包括门级延时信息，也包括线延时信息。得到该文件之后再进行一次仿真，比次仿真可以比较精确地反映芯片的实际运行情况。

设计的最后一个步骤是把配置文件写到芯片中，然后进行调试。Libero 集成开发工具提供了专门的下载工具 FlashPro 进行配置文件的下载，通过 Silicon Explorer 和 Identify 两个调试工具来完成设计的在线调试。由于

Libero 还提供了处理器软核嵌入功能，所以配套的也提供了软核的在线调试工具 SoftCansole。

3 设计实例

以一个双端口的 RAM 实现来说明在 Libero 集成开发环境下进行 FPGA 设计的过程。

(1) 建立工程。确定工程名称、保存路径和工程所使用的具体 FPGA 芯片。这里选用的是 Actel 公司的 Fusion 系列中的 AFS600 来完成这个设计；

(2) 设计输入。首先用文本输入方法建立设计中所需的子模块，如双端口 RAM 的写控制器 ctrl_w 等。然后，用 Libero 提供的 SmartDesign 图形输入工具建立顶层文件，如图 2 所示；

(3) 激励文件的生成。用 WaveFormer 工具生成激励文件，如图 3 所示；

(4) 用 ModelSim 进行仿真。其中 CLKA 是系统时钟，Aclr 是系统的复位信号，RX 是通过串口把数据输入到双端口 RAM 的数据输入端，DOUTB 是双端口 RAM 的数据输出端。通过波形可以看到串口输入的数据完整地由 RAM 端口进行了输出。仿真波形图如图 4 所示；

(5) 实现。通过 FlashPro 工具把配置文件下载到芯片中，并在电路板上得到验证。



图 3 激励文件

FPGA 被广泛地应用于目前的数字系统设计中，掌握 FPGA 的开发方法是当前电子工程师必备的一项基本技能。本文通过具体实例详细介绍了在 Libero 集成开发环境下，用 FPGA 进行数字设计的具体过程和方法。实验结果表明，在 Libero 集成开发环境下，不仅可以非常方便快捷地完成 FPGA 从设计输入到综合、布线、仿真、下载的整个开发过程，而且通过综合、实现等关键环节的优化，提高了设计的工作频率，减小了设计消耗的面积，使设计结果能更好地调动芯片的内部资源，工作更高效。

参考文献

[1] 周立功. Actel FPGA 实验教程 - 基于 Fusion StartKit 开发板[M]. 广州致远电子有限公司, 2007.

(下转第 13 页)

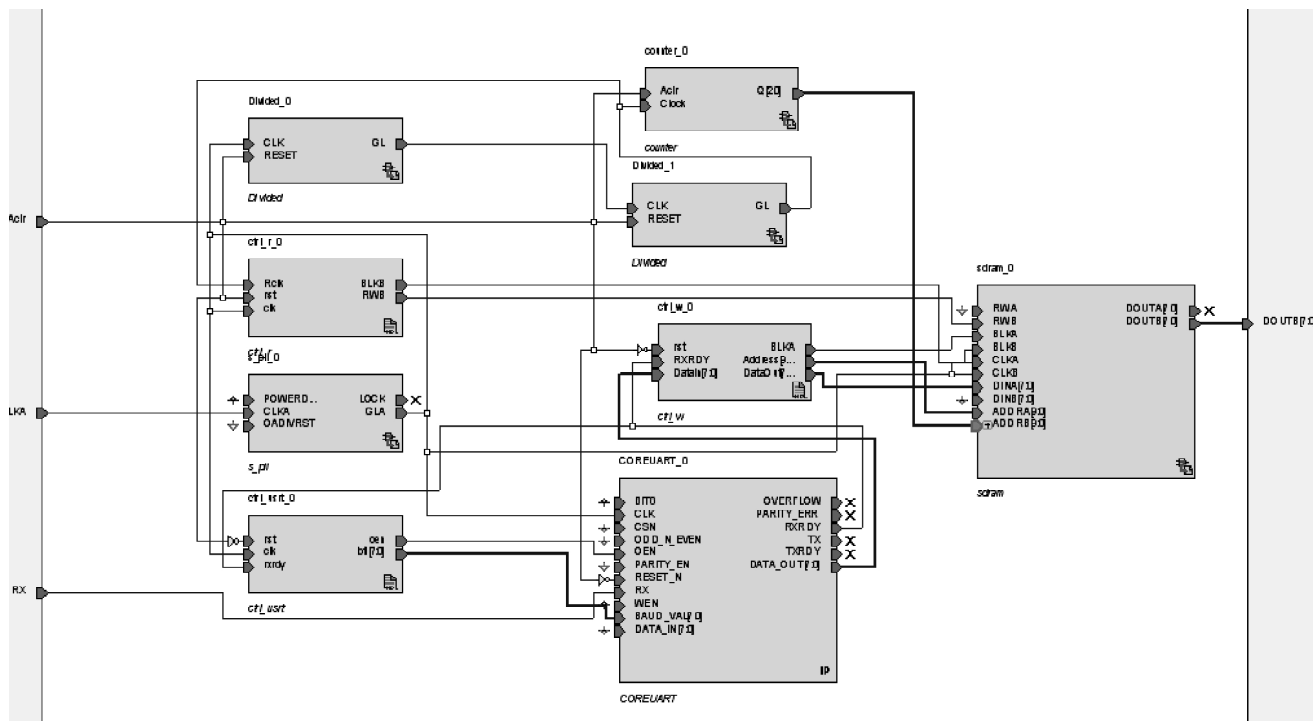


图 2 SmartDesign 顶层设计文件

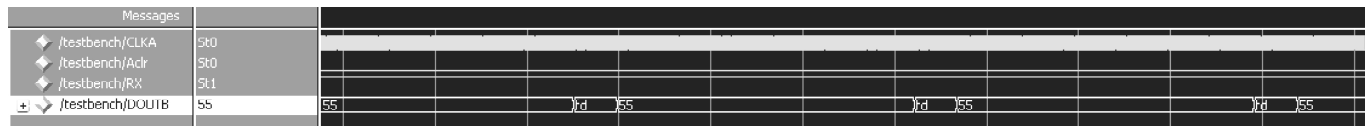


图 4 ModelSim 仿真波形图

(上接第10页)

[2] 潘松,黄继业.DEA技术实用教程[M].北京:科学出版社,2006.

[3] 张军.用MAX+plus II 设计数字电路的EDA 方法[J].电子技术
2001, 28(11): 49-51.

[4] 刘虹,黄涛.徐成 基于FPGA的音频处理芯片的设计[J].微计算机信息 2005,21(1):145-147.

(收稿日期 2009-04-23)

《信息化纵横》2009年第14期

欢迎网上投稿 www.pcachina.com

13