

TDRSS 基带信号处理系统的设计与实现*

朱 斌, 曾孝平

(重庆大学 通信工程学院, 重庆 400030)

摘 要: 跟踪与数据中继卫星系统(TDRSS)前向链路基带信号处理系统的完整设计,介绍了关键技术和系统设计要点,通过 FPGA 实现了整个系统,证明了方案的可行性。

关键词: 跟踪与数据中继卫星系统 非平衡 QPSK 数字匹配滤波器 PN 码捕获 多普勒频偏

跟踪与数据中继卫星系统 TDRSS(Tracking and Data Relay Satellite System) 是一个利用同步卫星和地面终端站,对中、低轨飞行器(称为用户航天器)进行高覆盖率测控和数据中继的测控通信系统^[1]。20 世纪 70 年代以来,美国和俄罗斯的跟踪与数据中继卫星相继组网成功,并投入运行。为了适应现代航天测控技术的需要,我国目前也在积极发展此系统。

TDRSS 由 TDRS、地面终端站、用户航天器组成,具有跟踪(T)和数据中继(TR)两方面的功能。地面→TDRS→用户航天器的通道称为前向链路。通过此链路,地面终端站发射的遥控指令、测距信号和其他数据通过 TDRS 转发给用户航天器,用户航天器接收、解调出遥控指令并反向发回测距信号和遥测数据,从而实现双向测距测速和跟踪测轨及数据中继。TDRS 卫星运行在高度为 3.6 万公里的同步轨道上。由于整个 TDRSS 系统限制了 TDRS 的发射功率、发射天线和地面站天线的增益,由星地链路计算出,用户航天器星载收发机接收信号信噪比可以低至 -20dB,最大的多普勒频偏为 ±100kHz^[2]。因此,研究低信噪比和大多普勒频偏环境下的 TDRSS 前向链路具有重要的实际意义。

本文主要讨论前向链路中的基带接收系统,其接收的信号已经由中频经模拟下变频变到零中频,再经过采样变为含多普勒频偏的数字基带信号。提出了一种基带处理方案,并重点讨论了其中的关键技术:PN 码快速捕获和多普勒频偏的消除,最后应用 XILINX 公司的 FPGA 实现了整个方案。

1 接收信号处理系统模型

前向链路基带信号处理系统模型如图 1 所示。前向链路信号所采用的调制方式是非平衡 QPSK(UQPSK),图 1 中接收信号 $r(t)$ 的数学表达式如下:

$$r(t) = \sqrt{2P_I} d_I(t) c_I(t) \cos[(\omega_0 + \omega_d)t + \theta] + \sqrt{2P_Q} c_Q(t) \sin[(\omega_0 + \omega_d)t + \theta] + n(t) \quad (1)$$

* 重庆市科委自然科学基金(基金号 20042683, 20050207); 重庆市教委自然科学基金(基金号 KJ061409)资助。

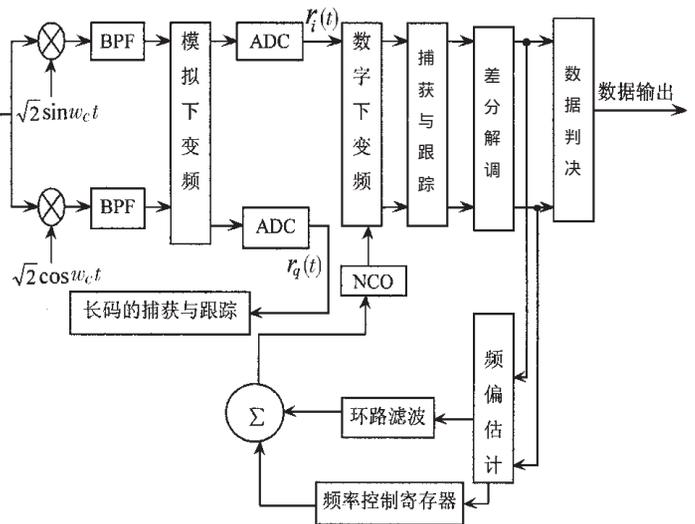


图 1 前向链路基带信号处理系统模型

式中: P_I 为 I 通道发射功率, P_Q 为 Q 通道发射功率, $d_I(t)$ 为数据码, $c_I(t)$ 、 $c_Q(t)$ 为 I、Q 通路的伪随机码, ω_0 为载波频率, ω_d 为多普勒频偏, $n(t)$ 为附加的高斯白噪声。其 I 路的 PN 码采用 m 序列,周期为 1 023 码元,称为短码;Q 路的 PN 码周期为短码的 256 倍,称为长码,主要用于测距。两路扩频码速率相同,约为 3Mbps,调制在短码上的数据速率为 3kbps。I、Q 两路功率不平衡,功率之比为 10:1。

本文提出的 TDRSS 基带信号处理系统主要包括数字下变频、PN 码捕获与跟踪、多普勒频偏消除和长码捕获等模块,能够完成本地 PN 码和载波的产生,实现相关解扩和码相位精确跟踪、差分解调等功能。因为短码与长码调制的功率比为 10:1,且周期为长码的 1/256,所以在短码捕获阶段,基带信号可看成短码调制的直接序列扩频信号,因而较容易捕获。短码捕获以后,利用链路中两路直接扩频码的基频相同以及相位之间的周期性,引导长码捕获,大大缩短了捕获时间^[3]。本文仅讨论短码的捕获与跟踪。

2 PN 码的快速捕获

实现 PN 码捕获主要有两种方法:滑动相关法和匹

配滤波器法。滑动相关法的优点是工作频率高,PN码长几乎不受限制;缺点是数字化实现复杂,PN码的捕获时间长,噪声和干扰对捕获性能的影响较为严重^[4]。而匹配滤波器法的优点是捕获时间短,特别是用数字匹配滤波器(DMF)构成的捕获电路可以达到很高的处理增益,可编程能力强,可任意设定PN码;不存在固有噪声,没有噪声积累问题。随着半导体工艺和集成电路技术的飞速发展,大规模数字器件如CPLD、FPGA的应用,DMF系统的成本和体积得到降低,整体性能也得到了提高。本系统要求建立同步的时间尽可能短,因此笔者采用了DMF来完成PN码的快速捕获。其捕获电路如图2所示。

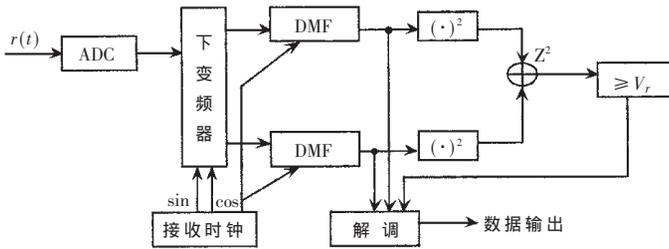


图2 PN码捕获电路

若基带信号每个码元取样 N 次,则仅在 T_c/N 时间内(T_c 为PN码码元间隔),DMF就可以计算出接收PN码与其本地副本的相关值。当接收码与本地码相位相同时,就会有最大相关值输出,其极性由数字符号的极性确定(通常一个数据符号对应一个PN码周期)。同相和正交两路相关输出经平方电路后相加,再与捕获门限比较,若大于捕获门限,则判定为捕获成功,系统转入跟踪状态。反之,继续捕获。

DMF具有FIR滤波器结构(如图3),其抽头延迟线级数为 M/Δ , $1/\Delta$ 为PN码一个码片(chip)期间的取样数,乘法器系数(权系数)为 ± 1 ,由预先设定的本地PN码的某一相位所确定^[5]。DMF的作用就是将延迟线的每一抽头输出乘以相应的权系数并叠加起来,从而快速地获得注入到抽头延迟线的接收PN码的自相关函数值。当接收PN码与本地PN码的相位相同时,将有最大自相关值输出,称之为相关峰值。接收PN码不断注入到抽头延迟线的过程,可以等效地看作DMF对其相位搜索的过程。DMF输入的是下变频器输出的同相和正交基带取样信号。DMF的抽头数可取扩频PN码的码长(L),也可取其一部分。由于在每 ΔT_c 时间内完成一次完整的相关运算,DMF的有效后相关带宽与输入相同,故其时域分辨率大大提高。由于在接收基带信号中调制有数据信息,因此DMF输出的相关值也有正、负极性之分。

3 多普勒频偏的消除

在TDRSS系统中,由于用户航天器相对同步卫星运动,多普勒频偏的变化范围较大^[6]。系统的最大多普勒频偏为 $\pm 100\text{kHz}$,范围很宽,对

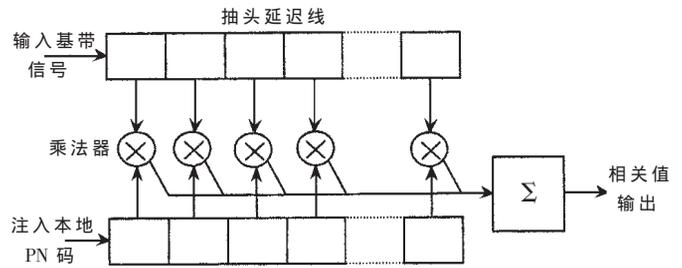


图3 DMF的基本结构

直扩序列解扩、解调的影响很大,因此必须通过一定的方法消除多普勒频偏,才能保证接收机正常接收信号。由于本系统数据时钟多普勒频偏和PN码时钟多普勒频偏对捕获性能的影响很小,可以忽略不计。因此本文只考虑载波多普勒频偏的消除。

在数字化扩频通信系统中,克服频偏影响主要有两种方法:一是采用AFC环路,即从接收数据流中提取频偏估计值,经过环路滤波后去改变NCO的频率,使其跟踪输入中频信号的频率变化,从而使下变频器的输出始终为数字基带信号;另一种是接收端的本地参考载波和定时时钟都独立振荡于固定频率,处于开环状态,载波频率和定时时钟的误差消除都是依靠某种频偏估计算法直接在基带进行处理,从而省去了NCO,有效地降低了系统的复杂度。在低信噪比条件下,闭环结构的频偏补偿电路的工作稳定性更好。基于此,同时考虑TDRSS通信系统的实际情况,采用AFC环路结构作为频偏补偿方式,实现电路如图4所示。

环路首先从差分解调输出复信号序列中提取频偏的估计量,再经过环路滤波后去修正NCO的输出本振信号频率,以达到减小频偏对接收机性能影响的目的。

4 系统仿真分析

系统采用单次驻留捕获,整周期相关, I 、 Q 路数据速率为 $R_b=3\text{kbps}$, $M=L=1023$, $T_c=1/LR_b$,以归一化门限 V_n 为参变量,使用MATLAB仿真程序,得到图5中平均捕获时间随 E_c/N_0 变化的曲线。

由图可知,单次驻留系统的捕获性能有以下几个特点:①只要归一化门限取值得当,平均捕获时间就非常短,这是由DMF具有快速计算PN码自相关值的性质所

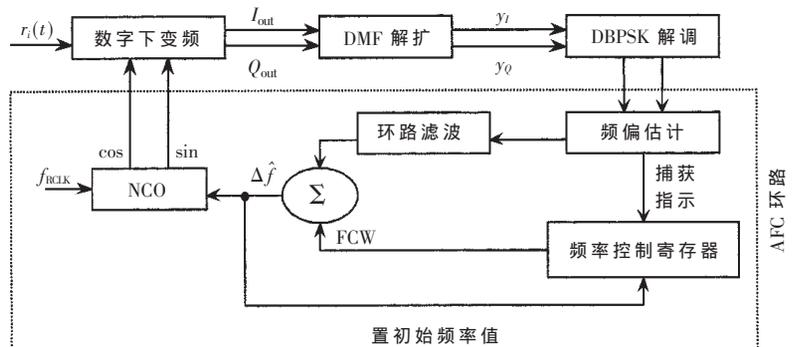


图4 多普勒频偏消除电路

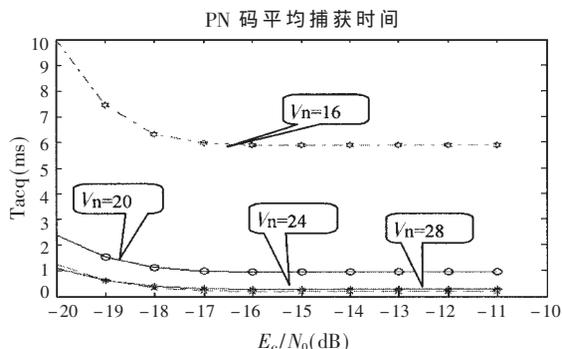


图5 平均捕获时间随 E_c/N_0 变化的曲线

决定的;②随着 DMF 相关长度的增加,归一化门限的可取值范围会明显增宽,并且在数据速率一定的条件下,捕获速度也将提高,后一点在低信噪比情况下尤为突出;③在低信噪比情况下,平均捕获时间对门限的取值更为敏感,若取值不当,将会大大延长 PN 码的捕获时间。

只要门限设置得当,基于 DMF 的捕获电路具有很快的捕获速度。在无噪声和干扰情况下,门限的设置比较简单,只需取相关峰和最大旁瓣值的中间值即可;存在噪声和干扰时,门限的设置需要根据具体的信噪比作出调整。而在 FPGA 实际实现时,门限需要根据具体测试情况进行设置。

5 系统实现

本系统选用 XILINX 公司生产的 VIRTEX-II 系列中的 XC2V2000 来完成硬件设计。其逻辑门数为 200 万门,内部嵌有高速乘法器和大量的存取速度很快的块状 RAM,具有高级时钟控制和对多种 I/O 接口的支持,可容纳相当复杂的设计。整个系统采用 VHDL 语言在 ISE 6.1 开发环境下进行设计^[7-8]。仿真及综合通过后生成的网表文件下载到以 XC2V2000-6bg575 芯片为核心的实验电路板上运行,配置 PROM 采用 8Mbit 的 XCF08P。

为了测试和验证接收系统的功能,单独编制了信号源电路,包括 1023 位 m 序列产生模块、基带数据发生器模块、差分编码和扩频模块。为了节约乘法器资源,具体编程实现时对于 DMF 的结构还做了进一步简化。由于乘法器系数取值为 +1/-1,输入数据样值(B)与参数相乘后再加上前级寄存器输出(A)可以表示为 $A \pm B$,其中 A 的符号不变,因此可以将加法器设置为两数相加或相减,省去乘法器组。另外每个码元抽样两次并在 DMF 之前进行延迟求和处理,这样就在硬件复杂度与性能之间得到了较好的折衷。

本系统采用的扩频码为 1023 位的 m 序列,扩频增益为 30dB。量化阶数是 DMF 的一个重要参数,在实际中量化阶数总是有限的。考虑到本系统中 DMF 的相关长度较长,为避免硬件代价太大,将其量化阶数设为 3bit。3bit 量化的情况下,当虚警概率为 10^{-6} 、系统漏检概率为 0.59、捕获概率 0.8 时,归一化门限 $V_n=21$ 。

通过 ISE 软件接口调用 Mentor 公司的 MODELSIM 对整个系统进行时序仿真,结果如图 6 所示。图中显示的最后 4 行中前两行表示信号源中调制的 I、Q 两路数据,后两行表示接收系统最后解调出来的对应数据。对比后可知,经过一段时延后,系统电路工作正常,发送的数据能够得到正确恢复。

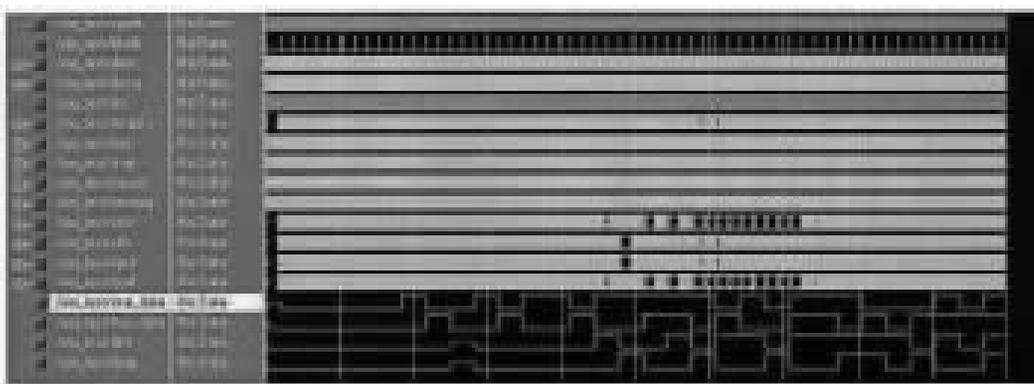


图6 系统电路时序仿真图

本文对 TDRSS 前向链路基带信号处理系统进行了分析和设计,最终在 FPGA 上实现了完整方案,系统工作稳定可靠。通过硬件电路的实现,验证了方案的可行性。

参考文献

- 1 HYUCK M. K. Third-Generation TDRSS-Compatible Direct-Sequence Spread-Spectrum digital receiver[J]. IEEE Trans. Commun, 1997; 46(4): 891~899
- 2 王 诺,戴逸民. 改进的数字化 TDRSS 中频信号捕获跟踪系统[J]. 通信学报, 2003; 24(6): 90~92
- 3 张 健,杨士中,唐朝伟. 短码引导实现长码同步的快速捕获方法[J]. 无线电工程, 1997; 27(6): 8~11
- 4 POLYDOROS A, WEBER C L. A unified approach to serial search spread-spectrum code acquisition-part I [J]. IEEE Trans. Commun, 1984; 32: 542~549
- 5 YU T. SU. Rapid code acquisition algorithms employing PN matched filters[J]. IEEE Trans. Commun, 1998; 36(6): 724~733
- 6 黄 振. 扩频系统的数字化及其在低轨卫星通信中的应用 [D]. 重庆: 重庆大学通信工程学院, 2001
- 7 王 诚,薛小刚,钟信潮. Xilinx ISE 5.X 使用详解[M]. 北京: 人民邮电出版社, 2003
- 8 侯伯亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计 [M]. 西安: 西安电子科技大学出版社, 1999

(收稿日期: 2006-06-30)