

## 第六章

### 复位和引导

#### 6.1 引言

MCU 中包括以下复位源

表 6-1 复位源

复位源	描述
POR 复位	上电复位
系统复位	外部引脚复位 (PIN) 低电压检测 (LVD) 看门狗复位 低漏唤醒复位 多用途时钟故障复位 软件复位 锁定复位 EzPort reset MDM DAP system reset
调试复位	JTAG 复位 nTRST 复位

每一个复位源除去 EzPort 和 MDM-AP 复位之外，在系统复位状态寄存器(SRSH 和 SRSL)中都有一个相关的位，查看模块控制器章节获得更多信息。

芯片是由 EZP\_CS 引脚控制在退出复位模式之后进入单片模式（默认的）还是串行闪存编程 (EzPort) 模式。查看引导选项章节获得更多信息。

#### 6.2 复位

本节将讨论芯片复位的机制和来源。有一些模块可产生中断也可以被配置为复位，查看相应章节获得更多信息。

##### 6.2.1 上电复位 (POR)

当 MCU 的电源开始工作或者电源电压下降到上电复位电压  $V_{POR}$  以下上电复位电路将会产生一个上电复位信号。

随着电源电压的上升，LVD 电路将 MCU 保持在复位状态直到电压上升到 LVD 低压门限之上  $V_{LVDL}$ 。SRSL 寄存器的 POR 和 LVD 位会被置位在上电复位之后。

##### 6.2.2 系统复位

复位 MCU 提供了一个从已知的初始化状态开始运行的路径。复位时，芯片的片上调节器全部工作并使用内部参考时钟。当复位结束之后，MCU 将进行如下操作：

将 SP 地址指向中断向量起始地址偏移 0，将 PC 地址指向中断向量起始地址偏移 4，将 LR

设置为 0xFFFF\_FFFF。

片上所有外设模块全部禁止，所有的非模拟 I/O 全部禁用。模拟 I/O 全部被设置为默认的模拟功能。

在复位过程和其结束之后，与 JTAG 相关的输入引脚被配置为：

TDI 输入被配置为上拉。

TCK 输入被配置为下拉

TMS 被配置为上拉

相关的输出引脚

TDO 配置无上拉也没有下拉。

注意 nTRST 引脚的初始化配置时禁用的。但是一旦配置为 JTAG 功能之后他的功能将成为 nTRST 上拉。

### 6.2.2.1 外部复位引脚

在器件中，复位引脚是一个专用的引脚，引脚是开漏的，有一个内部的上拉驱动，外部复位引脚可以将 MCU 从任何模式唤醒。在外部引脚复位之后，SRSL[PIN]位会被置位。

#### 6.2.2.1.1 复位引脚滤波器

复位引脚提供一个在任何模式下都可用的数字滤波器。在 LLS 和 VLLSx 模式下 LLWU 提供一个可选的**固定使用 1 kHz LPO**的数字滤波器。查看 LLWU 章节关于此滤波器的操作方式。在非低漏唤醒的模式下，复位引脚的数字滤波器的时钟源可以选总线时钟或者 1kHz LPO。

复位引脚的滤波器在 SIM 模块中，他对于每一个时钟源都有一个独立的滤波器。在 Stop 和 VLPS 模式下使用或者绕过滤波器取决于滤波器的模式配置。

在这里有几种模式的定义：查看 SOPT6 寄存器的描述获得更多信息。SOPT6[RSTFLTEN[2:0]]和 SOPT6[RSTFLTSEL[4:0]]位域控制着所期望的模式。所有的滤波器都在 POR, LVD, 以及从 VLLS 模式唤醒之后被复位。每一个滤波器复位后默认都是禁止的。

**LPO 滤波器是一个简单**的计数器为 3 的滤波器。他使用 2 个周期与输入信号同步。同样他使用 5 个周期实现高向低跳变或者低向高跳变。LPO 滤波器在 LPO 关闭的时候默认是关闭的。总线滤波器在总线关闭时默认也是禁止的。当总线滤波器使能时，计数器由 SOPT6[RSTFLTSEL[4:0]]控制。

#### 6.2.2.2 低压检测复位

器件包含一个在电压变化时保护器件的内存和系统状态的系统。系统有一个上电复位电路和用户可配置上下限的低压检测电路。检测阈值由 LVDS1[LVDV]控制。低压检测单元在 MCU 运行、等待和停止模式都会运行。在 VLPx、LLSx 和 VLLSx 模式下被禁止。查看电源管理模块获得更多信息。通过配置 LVDS1[LVDRE]可以使低压检测单元在检测到电压变化时产生一个复位。当一个低压复位产生时，低压检测单元可以使 MCU 保持复位状态，直到电压恢复到最低水平之上。**SRSL[LVD]位控制着复位的产生。**

#### 6.2.2.3 看门狗复位

看门狗定时器监视着系统通过软件产生的周期性访问。如果周期性的访问没有及时产生，看门狗会产生一个复位。看门狗复位会导致 SRSL[COP]位置位。

#### 6.2.2.4 低漏唤醒复位

低漏唤醒单元看可以使用高达 16 个外部引脚、复位引脚和几个内部的模块从 LLS 和 VLLSx

模式中唤醒 MCU。在 LLS 模式下只能使用复位引脚唤醒 MCU，在任何 VLLS 模式下可以通过唤醒或者复位事件唤醒 MCU。模式控制模块的 SRSL[WAKEUP]位指示这在系统最后一次复位时低漏检测模块是否产生中断。使用复位引脚从 LLS 或者 VLLS 模式下唤醒 MCU 会使 SRSL[PIN]置位。参考模式控制模块获得更多信息。

在系统复位之后低漏唤醒单元会保持着状态寄存器来指示上次的复位源，直到用户清除他为止。

#### 注意

**在外围器件中的低漏检测单元引脚唤醒或者错误标志以及唤醒标志位必须被清除查看相应的外围设备章节获得更多信息。**

### 6.2.2.5 多路时钟发生器时钟丢失复位

MCG 包含一个时钟监控器。在一下情况发生时时钟监控器会复位器件：

时钟监控器使能 MCG\_C6[CME] = 1

MCG 的外部参考时钟频率下降到期望值之下，取决于 MCG\_C2[RANGE]的设置

MC\_SRSL[LOC]位会被置位来指示错误的发生。

### 6.2.2.6 软件复位

置位 NVIC 控制寄存器 SYSRESETREQ 位会强制产生一个软件复位(查看 ARM 的 NVIC 文档关于寄存器的描述，尤其是 VECTKEY。)。置位 SYSRESETREQ 位会产生一个复位请求。复位会重置除去调试模块以外的其他任何模块。他会导致 SRSH[SW]位置位。

### 6.2.2.7 锁定复位

LOCKUP 复位即时的给出内核软件的严重错误。**核心被锁定是因为系统内置的硬件保护装置激活产生了一个不可回复的异常。**

LOCKUP 会导致系统复位也会使 SRSH[LOCKUP]位置位。

### 6.2.2.8 EzPort 复位

EzPort 支持通过 EzPort 信号复位系统。EzPort 会通过 EzPort 接口执行 EzPort 芯片复位指令从而产生一个复位请求。

这种方法允许外部编程之后从闪存引导系统启动。EzPort 的禁止和使能取决于  $\overline{\text{EZP\_CS}}$  引脚。

### 6.2.2.9 MDM-AP 系统复位请求

置位 MDM-AP 控制器的复位请求位会导致系统复位。这是通过 JTAG 接口复位的主要方法。系统复位会被保持直到此位被清除。

置位 MDM-AP 控制器的复位保持寄存器位会使核心一直保持在复位状态直到系统外部的复位产生。

## 6.2.3 调试复位

下面的部分将详细讲述调试复位。

### 6.2.3.1 JTAG 复位

特定的代码会使 JTAG 模块产生一个系统复位。这个复位功能是在 EzPort, EXTEST, HIGHZ 和 CLAMP 功能使用时作用的。这些 JTAG 的复位源是在其他的信息代码产生时起作用的。JTAG 复位会导致 SRSR[JTAG]位置位。

### 6.2.3.2 nTRST 复位

nTRST 引脚会产生一个 JTAG 逻辑复位。nTRST 引脚允许调试器获得 TAP 的状态信息（在 LLS 或者 VLLSx 模式之后）而不需要重新调试模块的状态。

nTRST 引脚不会产生系统复位。

### 6.2.3.3 重置调试子系统

使用 SWJ-DP CTRL/STAT 寄存器的 CDBGSTREQ 位来复位调试模块。当然如下所述，CDBGSTREQ 位不会复位调试器的所有调试相关的寄存器。

CDBGSTREQ 复位以下的寄存器：

- SWJ-DP
- AHB-AP
- ETM
- ATB replicators
- ATB upsi zers
- ATB funnel s
- ETB
- TPIU
- MDM-AP (MDM 控制和状态寄存器)
- MCM (ETB 几乎全部)

CDBGSTREQ 不会复位下面模块的寄存器

- CM4 core (核心调试寄存器: DHCSR, DCRSR, DCRDR, DEMCR)
- FPB
- DWT
- ITM
- NVIC
- 交叉开关 (1)
- AHB-AP (1)
- 专用外设总线 (1)

(1) CDBGSTREQ 不会影响 AHB 资源，所以调试器在专用外设总线上的资源在系统复位过程中是可以使用的。

## 6.3 引导

下面介绍了启动的引导顺序，包括引导源和选项。

### 6.3.1 引导源

器件只支持内部闪存的引导。所有的二次引导都必须经过闪存引导初始化。

### 6.3.2 引导选项

系统的功能模式配置取决于 EzPort 芯片选择引脚  $\overline{\text{EZP\_CS}}$  的状态。芯片可以是单芯片（默

认的)或者是串行闪存编程模式启动。

当使用单芯片模式时,芯片可以工作在运行或者其他各种低功耗模式下。模式的转换:

表 6-2 模式选择编码

EzPort 芯片选择 ( $\overline{\text{EzP\_CS}}$ )	描述
0	串行编程模式 (EzPort)
1	单芯片模式 (默认的)

### 6.3.3 FOPT 引导选项

闪存模块(FTFL)的闪存选项寄存器(FOPT)允许用户在引导时定义不同的操作。寄存器包含着从闪存配置的 NVM 选项位加载的的只读位。用户可以改变闪存中 FOPT 的值为以后复位时使用。更多编程选项字节的内容请查看闪存章节。

MCU 使用 FTFL\_FOPT 位配置设备如下表:

表 6-3 闪存选项寄存器 FTFL\_FOPT 位定义

位	位域	值	定义
7-2	保留		为扩展特性保留
1	EZPORT_DIS	0	EzPort 操作被禁用,器件被正常引导, $\overline{\text{EzP\_CS}}$ 的状态在复位时被忽略。这个选项可以避免意外的进入 EzPort 模式,当 $\overline{\text{EzP\_CS}}$ 引脚用作 NMI 功能时。
		1	EzPort 操作时允许的。复位过程中 $\overline{\text{EzP\_CS}}$ 引脚的状态决定 MCU 是否进入 EzPort 模式。
0	LPBOOT	0	低功耗引导: SIM_CLKDIV1 寄存器中 OUTDIVx 的值是被自动配置的,他的分频值越高退出复位的功耗越低。核心和系统时钟分频 (OUTDIV1) 和总线时钟分频 (OUTDIV2) 是 0x7 (被 8 分频)。闪存时钟分频 (OUTDIV4) 和 FlexBus 时钟分频 (OUTDIV3) 是 0xF (被 16 分频)。
		1	普通引导: SIM_CLKDIV1 寄存器中 OUTDIVx 的值是被自动配置的,他的频率越高复位后会产生更高的工作频率。核心和系统时钟分频 (OUTDIV1) 和总线时钟分频 (OUTDIV2) 是 0x0 (被 1 分频)。闪存时钟分频 (OUTDIV4) 和 FlexBus 时钟分频 (OUTDIV3) 是 0x1 (被 2 分频)。

### 6.3.4 引导顺序

在上电过程中,片上调节器会将芯片保持在上电复位状态直到电压上升到上电复位阈值之

上。系统会继续保持此状态直到 LVD 确定内部调节器的输出达到一个安全的操作范围。然后模式控制逻辑模块产生一个退出复位的请求。

- (1) 内部逻辑模块保持系统的复位状态，复位引脚输出为低电平，多路时钟发生器使用默认的配置。
- (2) 一些必须的时钟是使能的（核心时钟，系统时钟，闪存时钟和所有没有时钟门控的总线时钟）。
- (3) 内部逻辑模块保持系统的复位状态，此时闪存控制器已经脱离复位，并开始初始化工作，这时的模式控制逻辑模块依然驱动复位引脚为低电平，并将持续 128 个总线时钟。
- (4) 复位引脚脱离复位状态，但是系统仍旧保持复位状态直到闪存初始化完成，如果在复位结束之后  $\overline{\text{EZP\_CS}}$  引脚的输入电平为低，则 MCU 会进入 EzPort 模式取代正常模式。编程 FTFL\_FOPT[EZPORT\_DIS]位可以禁用 EzPort 模式。注意：如果要是使用 LLWU\_P3(PTA4/FTMO\_CH1/NMI /EZP\_CS)引脚从 VLLS1, 2 或者 3 模式中唤醒的话，要使用上升沿在 LLWU 模式中唤醒，或者是禁用 EzPort 模块以确认进入正常模式。
- (5) 当闪存初始化完成之后，复位引脚会发生变化，如果复位引脚一直处于复位状态（表现就是缓慢的上升或者外部驱动是低电平）那么系统将保持复位状态。一旦复位引脚转变为高电平，系统将结束复位。
- (6) 如果 FTFL\_FOPT[LPBOOT]位配置为低功耗启动，那么系统结束复位后将会选择一个较低的时钟频率。
- (7) 当系统退出复位之后，将会建立堆栈，程序计数器（PC）和链接寄存器（LR）。系统在中断向量表 0 读取起始 SP。核心在中断向量表地址偏移 4 中读取起始 PC。LR 会被设置成 0xFFFF\_FFFF。CPU 开始执行 PC 的内容。如果在处理期间 Ezport 模式被加载，则会执行 Ezport 模式来取代普通模式。
- (8) 如果 FlexNVM 使能，闪存控制器会继续加载 FlexNVM 数据。这些数据不会也不应该被立即使用，直到闪存控制器初始化完成这一步。它是通过 EEERDY 位来指示是否完成的。

子系统复位是在这些复位之后而且始终允许后进行的。

作者 : 默\_li  
源文件名称 : K60P144M100SF2RM.pdf  
源文件版本 : K60 Sub-Family Reference Manual, Rev. 6, Nov 2011  
目标文件版本 : 0.1  
最后编辑日期 : 2012.04.22.16.51  
修改说明 : 初稿, 本人水平有限, 红色部分是在是没能直接翻译出来  
有问题可以 Email: [soonli@qq.com](mailto:soonli@qq.com)

**敬告 : 本档可随意复制传播, 修改其中内容请通知作者! 未经作者允许, 不准将本档的部分或者全部内容用于任何商业有关的用途! 英文原版版权归飞思卡尔所有, 本档作者保留所有权利。**