

## 第三章

### 芯片构造和基本配置

#### 3.1 引言

本章详细介绍微控制器各个模块的结构，它包括：

图解器件内部各个模块的连接构造，具体的各个模块之间的连接方式并没有在各个模块单独的章节中介绍，点击本章中提供的连接可以获得更多的信息。

#### 3.2 核心模块

##### 3.2.1 ARM Cortex-M4 核心模块结构域配置方法

本章概括介绍如何在芯片中如何配置核心模块，更具体的配置信息由 ARM 提供，请参阅 <http://www.arm.com>。

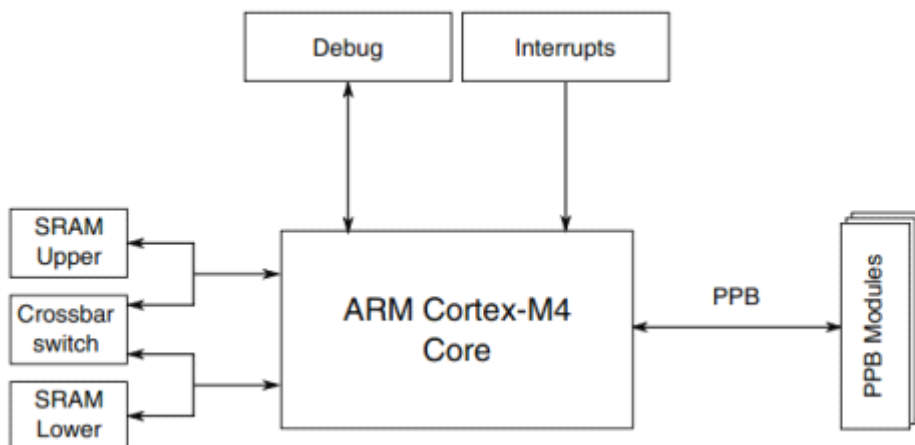


图 3-1 核心模块

表 3-1 相关参考信息的链接

主题	相关模块	参考
全面介绍	ARM Cortex-M4 内核, r0p0	<a href="http://www.arm.com">http://www.arm.com</a>
系统存储结构		System memory map
时钟		Clock distribution
电源管理		Power management
系统/指令/数据总线	交叉开关	Crossbar switch
系统/指令/数据总线	静态随机存储器 (SRAM)	SRAM
调试	IEEE 1149.1 JTAG IEEE 1149.7 JTAG (cJTAG) Serial Wire Debug (SWD)	Debug

	ARM Real-Time Trace Interface	
中断	嵌套中断向量控制器(NVIC)	NVIC
专用外设总线 (PPB)	杂项控制模块 (MCM)	MCM
专用外设总线 (PPB)	内存映射加密加速单元 (MMCAU)	MMCAU

### 3.2.1.1 总线，内部链接和接口

下表中描述了 ARM Cortex-M4 内核的 4 条总线

总线名称	描述
指令代码总线 (ICODE)	指令代码总线 and 数据代码总线是复用的，总线统称为 CODE 总线，总线的一端连接在总线矩阵。 <b>同时，总线也紧密的连接在 RAM 的下半部分。</b>
数据代码总线 (DCODE)	
系统总线	系统总线通过一个单独的接口连接在总线矩阵，同时， <b>系统总线的另一端也紧密的连接在 RAM 的高半部分。</b>
专用外设总线 (PPB)	外设专用总线用来访问以下模块： ARM 内部模块例如 NVIC, ETM, ITM, DWT, FBP, 和 ROM 表。 飞思卡尔的杂项控制器 (MCM) 内存映射加密加速单元 (MMCAU)。

### 3.2.1.2 系统节拍定时器

系统节拍定时器的时钟源往往是内核时钟：FCLK。因此：

系统节拍控制寄存器的 CLKSOURCE 位往往设置成内核时钟源。

因为时基是一个可变频率，所以系统节拍校准寄存器的 TENMS 位往往为 0。

系统节拍校准寄存器的 NOREF 位通常被置位，所以 FCLK 是唯一的参考时钟源。

### 3.2.1.3 调试设备

器件具有完善的调试功能，包括系统跟踪和运行控制。标准的 ARM 调试端口，支持 JTAG 和 SWD 接口。此设备上还支持 cJTAG 接口。

### 3.2.1.3 核心特权级别

ARM 公司的文档和本文档使用不同的术语来表述系统特权级别。

如果你看到这个单词	与之等效的单词
Privileged (特权)	Supervisor (管理员)
Unprivileged or user (无特权, 用户)	User (用户)

## 3.2.2 嵌套向量中断控制器

本部分讲解如何配置芯片上的嵌套向量中断控制器。完整信息请参阅 <http://www.arm.com>。

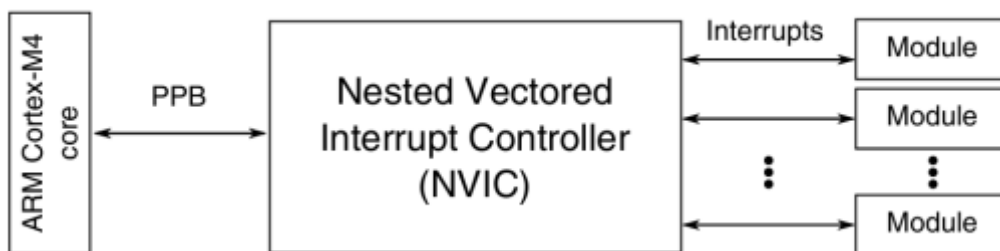
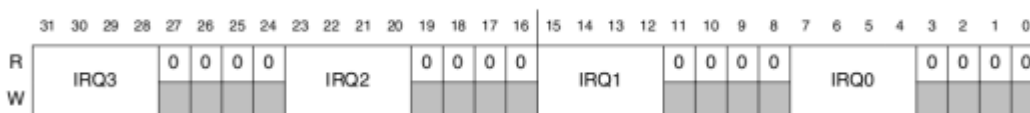


图 3-2 嵌套向量中断控制器

题目	相关模块	参考链接
完整信息	嵌套向量中断控制器	<a href="http://www.arm.com">http://www.arm.com</a>
系统内存映射		System memory map
时钟		Clock distribution
电源管理		Power management
专用外设总线	ARM Cortex-M4 核心	ARM Cortex-M4

### 3.2.2.1 中断优先级

器件支持 16 级中断优先级，因此在嵌套向量中断控制器中，每一个中断源在优先级控制寄存器 IPR 中都有 4 个位。例如 IPR0 中



### 3.2.2.2 非可屏蔽中断

非可屏蔽中断的中断源来自于外部的  $\overline{\text{NMI}}$  引脚。此引脚是多路复用引脚，必须要配置他的功能，使其成为外部不可屏蔽中断功能引脚。

### 3.2.2.3 中断分配

中断默认按照下表分配

**向量号：**当中断使用时，此值储存在栈中。

**IRQ 号：**非核心中断源，对应的编号为终端号减 16。

IRQ 号在 ARM 的 NVIC 文档中有描述。

表 3-4 中断号分配

地址	中断编号	IRQ 号 (1)	非优先级编 号 (2)	中断优先 级编号 (3)	源模块	描述
ARM 核心中断源						
0x0000_0000	0	-	-	-	ARM 内核	初始堆栈指针
0x0000_0004	1	-	-	-	ARM 内核	初始程序计数器

0x0000_0008	2	-	-	-	ARM 内核	非可屏蔽中断
0x0000_000C	3	-	-	-	ARM 内核	硬件故障
0x0000_0010	4	-	-	-	ARM 内核	存储控制器故障
0x0000_0014	5	-	-	-	ARM 内核	总线故障
0x0000_0018	6	-	-	-	ARM 内核	使用故障
0x0000_001C	7	-	-	-	-	-
0x0000_0020	8	-	-	-	-	-
0x0000_0024	9	-	-	-	-	-
0x0000_0028	10	-	-	-	-	-
0x0000_002C	11	-	-	-	ARM 内核	管理程序调入
0x0000_0030	12	-	-	-	ARM 内核	调试监控
0x0000_0034	13	-	-	-	-	-
0x0000_0038	14	-	-	-	ARM 内核	
0x0000_003C	15	-	-	-	ARM 内核	系统节拍定时器
非核心中断源						
0x0000_0040	16	0	0	0	DMA	DMA 通道 0 发送完成
0x0000_0044	17	1	0	0	DMA	DMA 通道 1 发送完成
0x0000_0048	18	2	0	0	DMA	DMA 通道 2 发送完成
0x0000_004C	19	3	0	0	DMA	DMA 通道 3 发送完成
0x0000_0050	20	4	0	1	DMA	DMA 通道 4 发送完成
0x0000_0054	21	5	0	1	DMA	DMA 通道 5 发送完成
0x0000_0058	22	6	0	1	DMA	DMA 通道 6 发送完成
0x0000_005C	23	7	0	1	DMA	DMA 通道 7 发送完成
0x0000_0060	24	8	0	2	DMA	DMA 通道 8 发送完成
0x0000_0064	25	9	0	2	DMA	DMA 通道 9 发送完成
0x0000_0068	26	10	0	2	DMA	DMA 通道 10 发送完成
0x0000_006C	27	11	0	2	DMA	DMA 通道 11 发送完成
0x0000_0070	28	12	0	3	DMA	DMA 通道 12 发送完成
0x0000_0074	29	13	0	3	DMA	DMA 通道 13 发送完成
0x0000_0078	30	14	0	3	DMA	DMA 通道 14 发送完成
0x0000_007C	31	15	0	3	DMA	DMA 通道 15 发送完成
0x0000_0080	32	16	0	4	DMA	DMA 通道 0-15 故障
0x0000_0084	33	17	0	4	MCM	标准中断
0x0000_0088	34	18	0	4	闪存	命令执行完成
0x0000_008C	35	19	0	4	闪存	读取冲突
0x0000_0090	36	20	0	5	模式控制	掉电中断, 掉电检测
0x0000_0094	37	21	0	5	低漏唤醒	低漏唤醒单元 注意: 在需要使用低漏检测的时候不要禁止这个中断
0x0000_0098	38	22	0	5	看门狗	看门狗中断
0x0000_009c	39	23	0	5		
0x0000_00A0	40	24	0	6	IIC0	-
0x0000_00A4	41	25	0	6	IIC1	-

0x0000_00A8	42	26	0	6	SPI0	所有中断源使用一个向量
0x0000_00AC	43	27	0	6	SPI1	所有中断源使用一个向量
0x0000_00B0	44	28	0	7	SPI2	所有中断源使用一个向量
0x0000_00B4	45	29	0	7	CAN0	OR' ed Message buffer (0-15)
0x0000_00B8	46	30	0	7	CAN0	总线关闭
0x0000_00BC	47	31	0	7	CAN0	错误
0x0000_00C0	48	32	1	8	CAN0	发送报警
0x0000_00C4	49	33	1	8	CAN0	接收报警
0x0000_00C8	50	34	1	8	CAN0	唤醒
0x0000_00CC	51	35	1	8	-	-
0x0000_00D0	52	36	1	9	-	-
0x0000_00D4	53	37	1	9	CAN1	OR' ed Message buffer (0-15)
0x0000_00D8	54	38	1	9	CAN1	总线关闭
0x0000_00DC	55	39	1	9	CAN1	错误
0x0000_00E0	56	40	1	10	CAN1	发送报警
0x0000_00E4	57	41	1	10	CAN1	接收报警
0x0000_00E8	58	42	1	10	CAN1	唤醒
0x0000_00EC	59	43	1	10	-	-
0x0000_00F0	60	44	1	11	-	-
0x0000_00F4	61	45	1	11	UART0	串口 0 状态中断源
0x0000_00F8	62	46	1	11	UART0	串口 0 错误中断源
0x0000_00FC	63	47	1	11	UART1	串口 1 状态中断源
0x0000_0100	64	48	1	12	UART1	串口 1 错误中断源
0x0000_0104	65	49	1	12	UART2	串口 2 状态中断源
0x0000_0108	66	50	1	12	UART2	串口 2 错误中断源
0x0000_010C	67	51	1	12	UART3	串口 3 状态中断源
0x0000_0110	68	52	1	13	UART3	串口 3 错误中断源
0x0000_0114	69	53	1	13	UART4	串口 4 状态中断源
0x0000_0118	70	54	1	13	UART4	串口 4 错误中断源
0x0000_011C	71	55	1	13	UART5	串口 5 状态中断源
0x0000_0120	72	56	1	14	UART5	串口 5 错误中断源
0x0000_0124	73	57	1	14	ADC0	-
0x0000_0128	74	58	1	14	ADC1	-
0x0000_012C	75	59	1	14	CMP0	-
0x0000_0130	76	60	1	15	CMP1	-
0x0000_0134	77	61	1	15	CMP2	-
0x0000_0138	78	62	1	15	FTM0	所有中断源使用一个向量
0x0000_013C	79	63	1	15	FTM1	所有中断源使用一个向量
0x0000_0140	80	64	2	16	FTM2	所有中断源使用一个向量
0x0000_0144	81	65	2	16	CMT	-
0x0000_0148	82	66	2	16	RTC	报警中断

0x0000_014C	83	67	2	16	-	-
0x0000_0150	84	68	2	17	PIT	PIT 通道 0
0x0000_0154	85	69	2	17	PIT	PIT 通道 1
0x0000_0158	86	70	2	17	PIT	PIT 通道 2
0x0000_015C	87	71	2	17	PIT	PIT 通道 3
0x0000_0160	88	72	2	18	PDB	-
0x0000_0164	89	73	2	18	USB OT	-
0x0000_0168	90	74	2	18	USB 充电检测	-
0x0000_016C	91	75	2	18	Ethernet MAC	IEEE 1588 定时器中断
0x0000_0170	92	76	2	19	Ethernet MAC	发送中断
0x0000_0174	93	77	2	19	Ethernet MAC	接收中断
0x0000_0178	94	78	2	19	Ethernet MAC	错误和其他中断
0x0000_017C	95	79	2	19	IISO	-
0x0000_0180	96	80	2	20	SDHC	-
0x0000_0184	97	81	2	20	DAC0	-
0x0000_0188	98	82	2	20	DAC1	-
0x0000_018C	99	83	2	20	TSI	所有中断源使用一个向量
0x0000_0190	100	84	2	21	MCG	-
0x0000_0194	101	85	2	21	低功耗定时器	-
0x0000_0198	102	86	2	21	-	-
0x0000_019C	103	87	2	21	引脚控制模块	PORTA 引脚中断
0x0000_01A0	104	88	2	22	引脚控制模块	PORTB 引脚中断
0x0000_01A4	105	89	2	22	引脚控制模块	PORTC 引脚中断
0x0000_01A8	106	90	2	22	引脚控制模块	PORTD 引脚中断
0x0000_01AC	107	91	2	22	引脚控制模块	PORTE 引脚中断
0x0000_01B0	108	92	2	23	-	-
0x0000_01B4	109	93	2	23	-	-
0x0000_01B8	110	94	2	23	软中断	软件中断 (4)

- (1) 表示嵌套向量中断控制器的中断源号。
- (2) 表示嵌套向量中断控制器对于响应中断的 ISER, ICER, ISPR, ICPR 和 IABR 寄存器的值，计算方法是 IRQ 的值除以 32。
- (3) 表示嵌套向量中断控制器对于响应中断的 IPR 寄存器的值，计算方法是 IRQ 的值除以 4。
- (4) 此中断只能被 NVIC 寄存器置位或者清零。

### 3.2.2.3.1 确定位域和寄存器的位置，来配置一个特定的中断

如果你需要配置低功耗寄存器中断，下面的表格来自“中断号分配”。

地址	中断编号	IRQ 号 (1)	非优先级编 号 (2)	中断优先 级编号 (3)	源模块	描述
0x0000_0194	101	85	2	21	低功耗定时器	-

译者注：下面角标的注解没有被列出，请看上表末尾。

- 1) 在 NVIC 寄存器中，你需要配置关于中断的信息

- NVICISER2
- NVICICER2
- NVICISPR2
- NVICICPR2
- NVICIABR2
- NVICIPR21

2) 确定特定中断在相对应的寄存器中的特定位域（汗，这句话怎么这么别扭）。

- NVICISER2, NVICICER2, NVICISPR2, NVICICPR2, NVICIABR2 位

位置 =  $IRQ / 32 = 21$

- NVICIPR21 位域的起始地址 =  $8 * (IRQ / 4) + 4 = 12$

因为 NVICIPR 的位域的 4 位宽，所以 NVICIPR21 的范围是 12-15。

因此，下列的位域的位是用来配置低功耗定时器的中断的。

- NVICISER2[21]
- NVICICER2[21]
- NVICISPR2[21]
- NVICICPR2[21]
- NVICIABR2[21]
- NVICIPR21[15:12]

### 3.2.3 异步唤醒中断的配置

本节概述如何配置芯片中的相应模块。在 ARM 的文档中有更加完整的描述信息 <http://www.arm.com>。

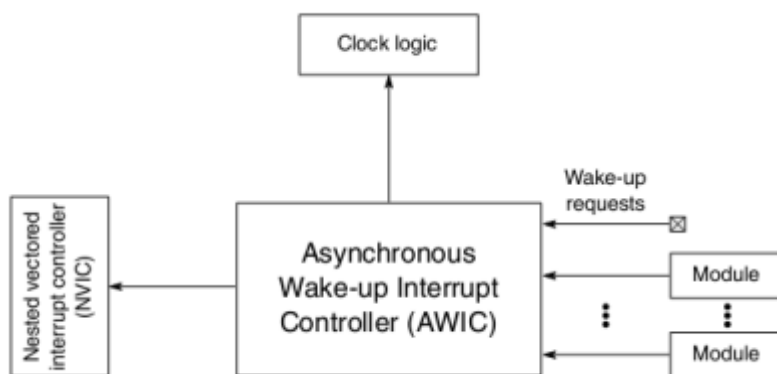


图 3-3 异步唤醒单元

主题	相关模块	参考链接
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management
	嵌套向量中断控制器	NVIC
唤醒请求		AWIC wake-up sources

#### 3.2.3.1 唤醒源

器件使用一下的内部或者外部异步唤醒输入模块：

唤醒源	描述
可用的系统复位	复位引脚和看门狗（当使用 LPO 时钟源时），JTAG 接口
低电压检测	模块控制器
低电压警告	模块控制器
引脚中断	引脚控制模块，任何一个中断使能的引脚都可以唤醒系统
ADC	当使用内部时钟源的时候可是实现这个功能
CMP	由于没有系统时钟可以使用，所以此时是无效的
IIC	地址匹配唤醒
UART	接收跳变唤醒
USB	唤醒功能唤醒
低功耗定时器	在 Stop/VLPS 模式下有效
实时时钟	在 Stop/VLPS 模式下有效
以太网	魔法包唤醒
SDHC	唤醒功能唤醒
IIS	唤醒功能唤醒
1588 时钟	唤醒功能唤醒
TSI	
CAN	

### 3.2.3 JTAG 控制器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

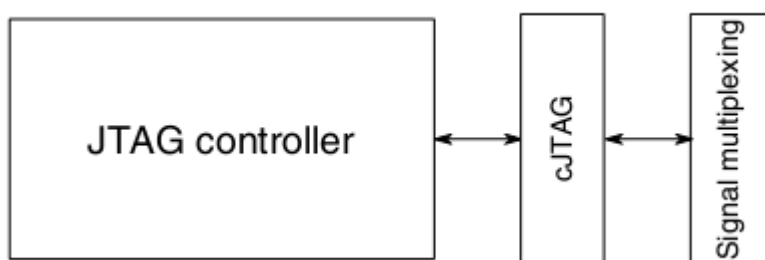


图 3-4 JTAG 控制器

表 3-8 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	JTAGC	JTAGC
信号传输设置	引脚控制	Signal multiplexing

## 3.3 系统模块

### 3.3.1 系统集成控制模块（SIM）配置



本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

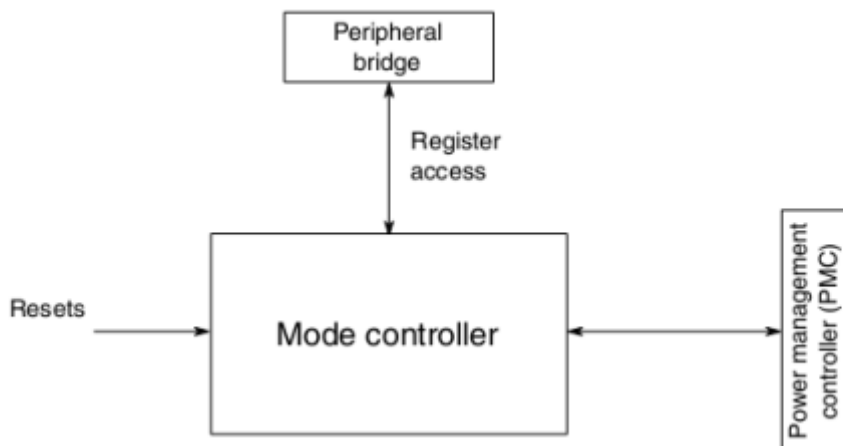


图 3-5 系统集成控制模块

表 3-9 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	系统集成控制模块	SIM
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management

### 3.3.2 模式控制器模块

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

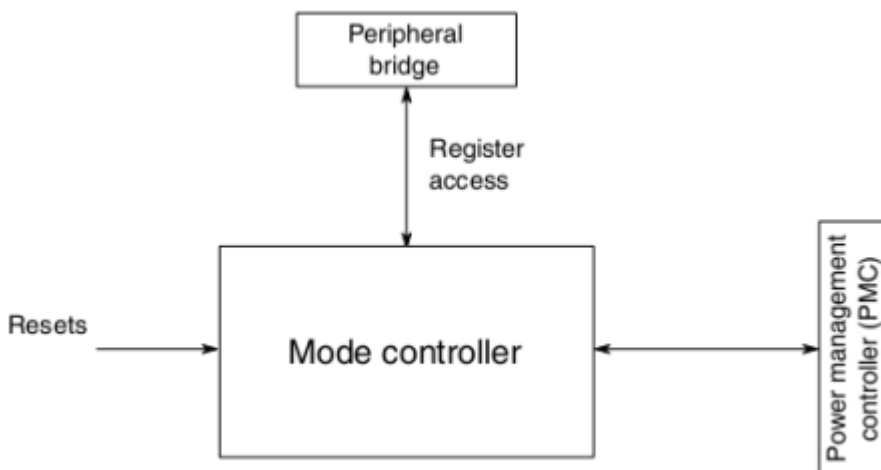


图 3-6 模式控制模块

表 3-10 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	模式控制模块	Mode Controller

系统存储映射		System memory map
电源管理		Power management
电源管理控制器		PMC

### 3.3.3 电源管理控制模块

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

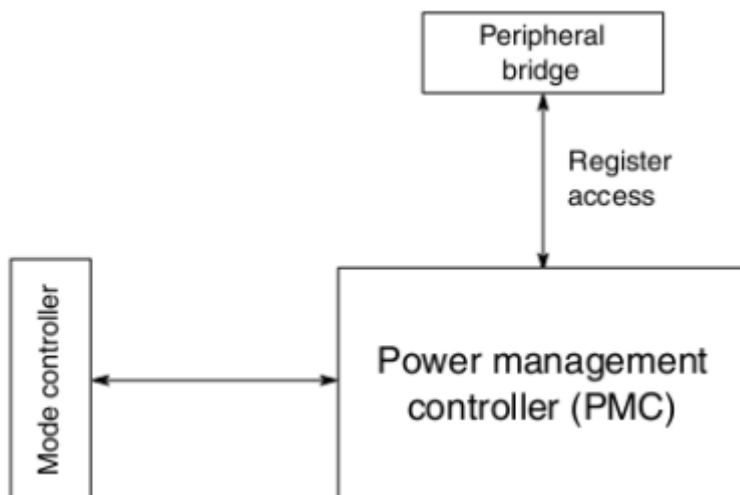


图 3-7 电源管理控制模块

表 3-11 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	PMC	PMC
系统存储映射		System memory map
电源管理		Power management
全面介绍		Mode Controller
	低漏唤醒单元	LLWU

### 3.3.4 低漏唤醒单元

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

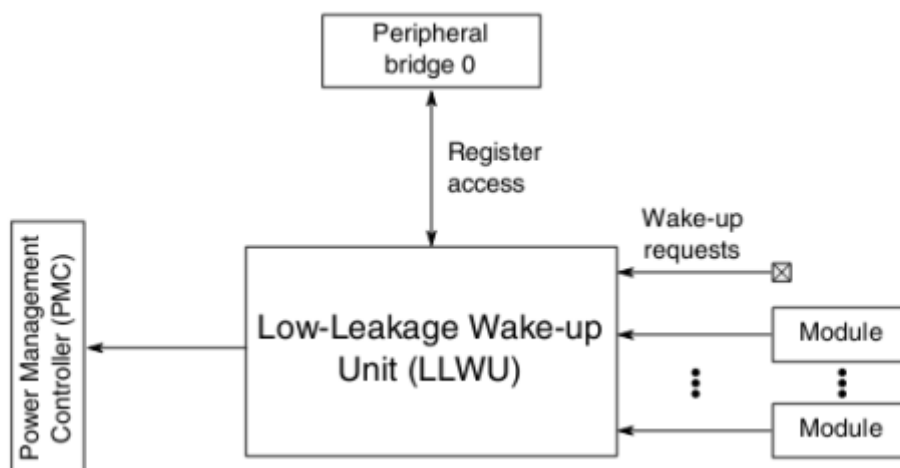


图 3-8 低漏唤醒单元

表 3-12 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	LLWU	LLWU
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management chapter
	电源管理控制模块	Power Management Controller (PMC)
	模式控制	Mode Controller
唤醒请求	低漏唤醒单元	LLWU wake-up sources

### 3.3.4.1 唤醒源

低漏唤醒模块使用以下的内部模块或外部引脚作为唤醒信号输入。

- LLWU\_P0-15 是外部的引脚输入，表中每个单独的输入相对应的选项。
- LLWU\_M0IF-M7IF 连接着内部的模块。

#### 注意

复位引脚也可以作为唤醒源，这是要在 LLWU\_CS 寄存器中设置响应的位。  
在器件中，即使复位引脚没有专用的功能，他也必须在端口复用控制器中明确的设置。

表 3-13 低漏唤醒单元的输入源

输入	唤醒源	输入	唤醒源
LLWU_P0	PTE1/LLWU_P0 pin	LLWU_P12	PTD0/LLWU_P12 pin
LLWU_P1	PTE2/LLWU_P1 pin	LLWU_P13	PTD2/LLWU_P13 pin
LLWU_P2	PTE4/LLWU_P2 pin	LLWU_P14	PTD4/LLWU_P14 pin
LLWU_P3	PTA4/LLWU_P3 pin (1)	LLWU_P15	PTD6/LLWU_P15 pin
LLWU_P4	PTA13/LLWU_P4pin	LLWU_M0IF	LPTMR (2)
LLWU_P5	PTB0/LLWU_P5 pin	LLWU_M1IF	CMP0 (2)

LLWU_P6	PTC1/LLWU_P6 pin		LLWU_M2IF	CMP1 (2)
LLWU_P7	PTC3/LLWU_P7 pin		LLWU_M3IF	CMP2 (2)
LLWU_P8	PTC4/LLWU_P8 pin		LLWU_M4IF	TSI (2)
LLWU_P9	PTC5/LLWU_P9 pin		LLWU_M5IF	RTCAlar (2) m
LLWU_P10	PTC6/LLWU_P10 pin		LLWU_M6IF	Reserved
LLWU_P11	PTC11/LLWU_P11 pin		LLWU_M7IF	Error Detect - wake-up source unknown

- (1) 当 EzPort 使能时，在引脚上产生一个下降沿并保持为低可以使 MCU 从某些低功耗模式通过复位时序进入到 EzPort 模式。当此引脚被配置成外部不可屏蔽中断时，他也可以通过一个飞科屏蔽中断把 MCU 从非 VLLSX 模式中唤醒。如果 EZPort 未被禁用则会进入 EZPort 模式，详细信息请参照“EZPort 配置”一节
- (2) 相应的外设和外设中断必须是使能的。寄存器 LLWU 的 WUME 位内部外设作为唤醒的输入，唤醒之后需要根据不同外设各自的方法清除中断标志位。

### 3.3.5 杂项控制器

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

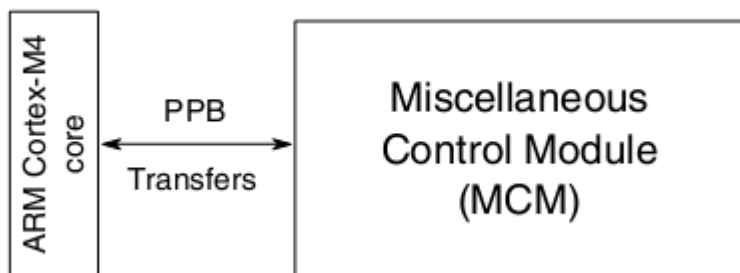


图 3-9 杂项控制器

表 3-14 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	杂项控制器	MCM
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management
外设专用总线	ARM Cortex-M4 核心	ARM Cortex-M4 core

### 3.3.6 交叉开关配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

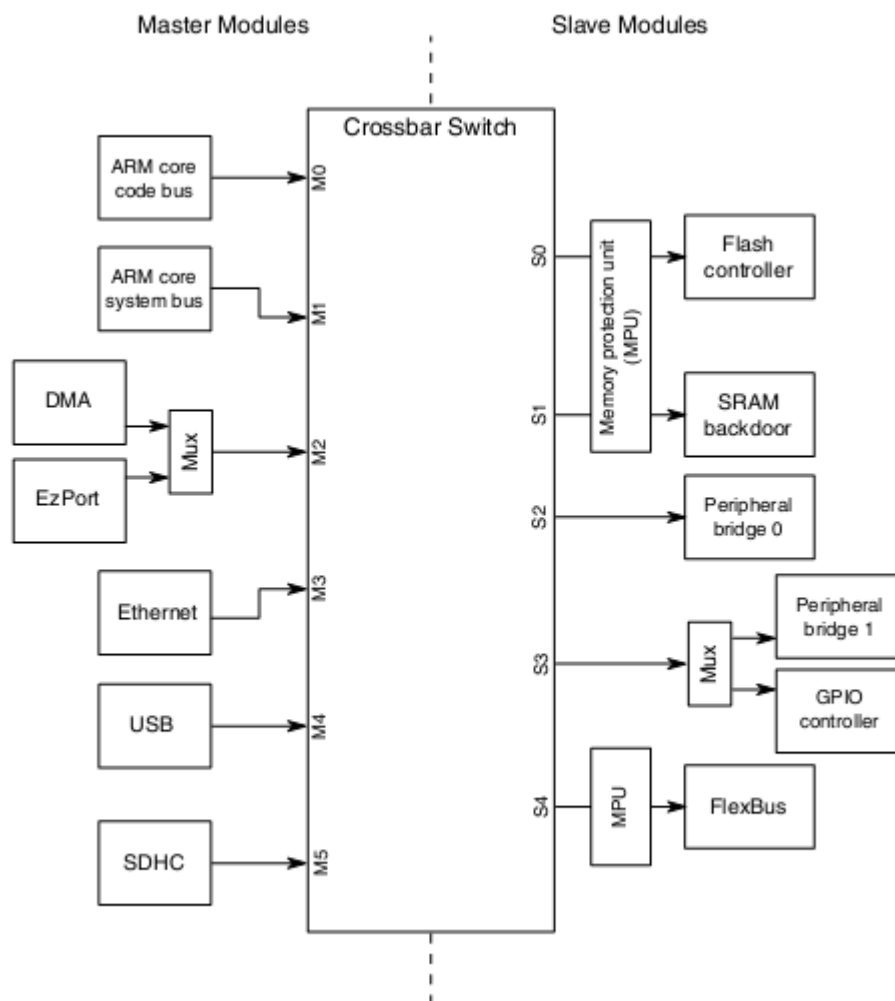


图 3-10 交叉开关配置

表 3-15 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	交叉开关	Crossbar Switch
系统存储映射		System memory map
时钟		Clock distribution
内存保护	Memory protection	MPU
交叉开关	ARM Cortex-M4 核心	ARM Cortex-M4 core
交叉开关	DMA 控制器	DMA controller
交叉开关	EzPort	EzPort
交叉开关	以太网	Ethernet
交叉开关	USB 全速/低速	USB FS/LS
交叉开关	SDHC	SDHC
交叉开关	Flash	Flash
交叉开关	SRAM 后门	SRAM backdoor
交叉开关	外设总线	Peripheral bridge
交叉开关	GPIO 控制器	GPIO controller

交叉开关	FlexBus	FlexBus
------	---------	---------

### 3.3.6.1 交叉开关主控分布

连接到交叉开关的主控分布表

主控模块	主控端口号
ARM 核代码总线	0
ARM 核系统总线	1
DMA/EzPort	2
Ethernet	3
USB OTG	4
SDHC	5

#### 注意

DMA 和 EZPort 连接在一个端口上，

所以这些模块不能够同时操作，没有必要做仲裁配置。

### 3.3.6.2 交叉开关从机分布

连接到交叉开关的从机分布表

从机模块	从机端口号	是否受 MPU 保护
闪存控制器	0	是
SRAM 后门	1	是
总线矩阵 0 (1)	2	否，保护来自矩阵内部
总线矩阵 1/GPIO (1)	3	否，保护来自矩阵内部
FlexBus	4	是

(1) 请参阅系统内存映射访问限制

### 3.3.6.3 PRS 寄存器复位值

AXBS\_PRSn 寄存器复位值为 0054\_3210h。

### 3.3.7 内存保护单元

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

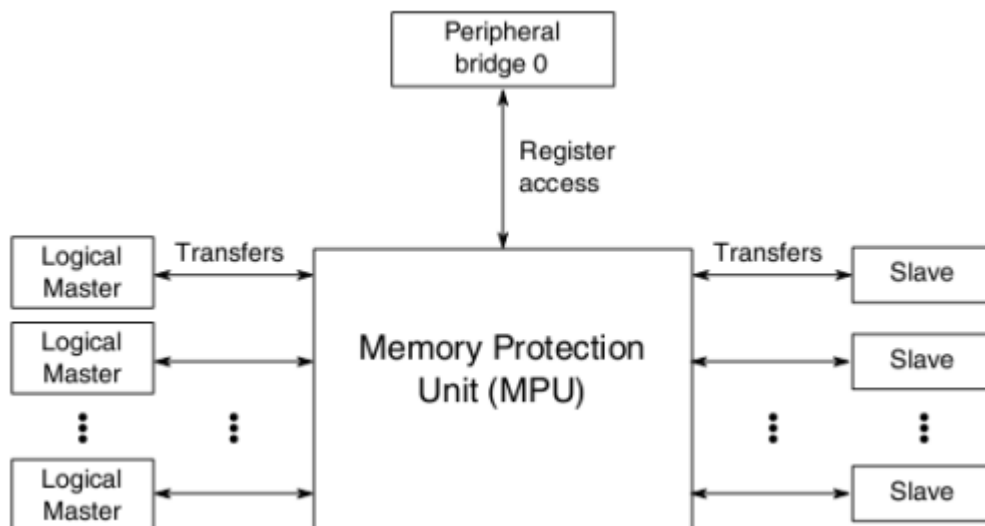


图 3-11 内存保护单元

表 3-16 相关信息的参考链接

主题	相关模块	参考链接
全面介绍	内存保护单元 (MPU)	MPU
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management
主控逻辑		Logical master assignments
从模块		Slave module assignments

### 3.3.7.1 内存保护单元从端口分布

被内存保护单元保护的内存映射单元包括：

表 3-17 内存保护单元从端口分配

源	从端口分布	目标
交叉开关从端口 0	MPU 从端口 0	闪存控制器
交叉开关从端口 1	MPU 从端口 1	SRAM 后门
代码总线	MPU 从端口 2	SRAM_L
数据总线	MPU 从端口 3	SRAM_U
交叉开关从端口 4	MPU 从端口 4	FlexBus

### 3.3.7.2 内存保护单元主控模块分布

内存保护单元逻辑总线主控模块分配

表 3-18 内存保护单元逻辑总线主控模块

内存保护单元逻辑总线主控模块号	总线主控模块
0	核心
1	调试器
2	DMA
3	ENET
4	USB
5	SDHC
6	无
7	无

### 3.3.7.3 内存保护单元访问冲突标志

内存保护单元根据检测到总线上访问错误的主控模块产生相应的信号，如下表所示

表 3-19 访问冲突标志

总线主控模块	核心信号
核心	总线故障（中断向量号 5） <b>注意，要启用系统处理控制器和状态寄存器的 BUSFAULTENA 位。如果没有设置的话，返回的将是一个硬件错误（中断向量号 3）。</b>
调试器	调试接口的控制状态寄存器的 STICKYERROR 会被置位。
DMA	中断向量号 32
ENET	中断向量号 94
USB	中断向量号 89
SDHC	中断向量号 96

### 3.3.7.4 RGD0 寄存器的复位值

产生复位后，内存保护单元被 RGD0 寄存器使能，整个 4GB 的地址空间的读写权限都会交给调试器和 DMA 总线上的主控制器。

下表给出了 RGD0 和 RGDAAC0 寄存器的具体值。

表 3-20 RGD0 寄存器复位值

寄存器	复位值
RGD0_WORD0	0000_0000h
RGD0_WORD1	FFFF_FFFFh
RGD0_WORD2	0061_F7DFh
RGD0_WORD3	0000_0001h
RGDAAC0	0061_F7DFh

### 3.3.7.4 RGD0 寄存器的写访问限制

除了 RGD0 寄存器初始的配置状态以外，内存保护单元还提供了额外的写访问接口来改变



RGD0 寄存器的值。特别地，内存保护单元提供了一个具有优先级的访问方法，核心具有最高的优先级，其次是核心，然后是总线上的各个主控制器。

MPU 不允许核心影响 RGD0 寄存器开始和结束地址以及调试器权限的写入操作。核心只能写外围器件的操作范围权限。

总结来说就是，不能够改变调试器访问整个存储空间的权限，不管是核心还是外部的主控制器，都没有这个权限。

表 3-21 RGD0 的写操作权限

总线上的主控制器	是否有些操作权限
核心	部分权限：核心不能操作以下的寄存器或者是位域 <ul style="list-style-type: none"> <li>• RGD0_WORD0RGD0_WORD1, RGD0_WORD3</li> <li>• RGD0_WORD2[M1SM, M1UM]</li> <li>• RGDAACO[M1SM, M1UM]</li> </ul> <b>注意：要通过写 RGDAACO 寄存器来改变 RGD0_WORD2 的值</b>
调试器	有
其他主控制器	无

### 3.3.8 专用外设总线配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

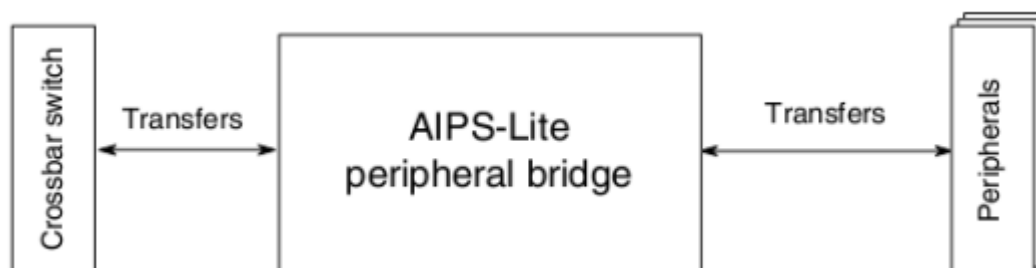


图 3-12 专用外设总线配置

主题	相关模块	参考链接
全面介绍	专用外设总线	Peripheral bridge (AIPS-Lite)
系统存储映射		System memory map
时钟		Clock Distribution
交叉开关	交叉开关	Crossbar switch

#### 3.3.8.1 专用外设总线的数量

器件中连接着两条专用外设总线。

#### 3.3.8.2 存储映射

专用外设总线用来访问绝大部分外设的寄存器。查看表 AIPS0 Memory Map 和 AIPS1

Memory Map 章节中关于每个模块的内存分配。

### 3.3.8.3 MPRA 寄存器

每个专用外设总线提供高达 8 个主控交叉开关，每一个都由 MPRA 寄存器的 MPROTx 位控制。然而，器件本身仅提供了少量的主控器件。查看 Crossbar switch 章节获得主控器件接口分配的详细信息。

### 3.3.8.4 MPRA 寄存器的复位值

- AIPStx\_MPRA 的复位值是 0x7770\_0000。

因此主控器件 0,1 和 2 在复位后是可用的。

### 3.3.8.5 PACR 寄存器

每一条专用外设总线都能够通过 PACRA-PACRP 寄存器的 PACRx 位来分配高达 128 个外设。然而器件本身仅提供了部分外设。查看表 AIPS0 和 AIPS1 的存储映射中关于外设接口的地址映射。没有用到的 PACRx 位域是保留的。

### 3.3.8.6 PACRE-P 寄存器复位值

AIPStx\_PACRE-P 寄存器的复位值取决于特定器件是否包含对应的模块。查看表 AIPS0 和 AIPS1 的存储映射中关于外设接口的地址映射。对应模块的 PACR[32:127] 寄存器复位值为 0x4。

### 3.3.9 DMA 请求复用器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

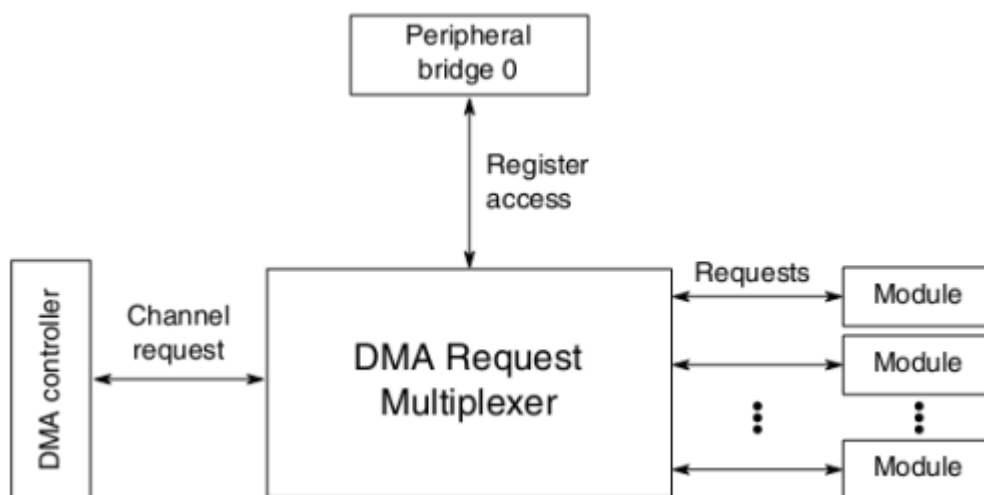


图 3-13 DMA 请求复用器配置

表 3-23 相关信息参考链接

主题	相关模块	参考链接
全面介绍	DMA 请求复用器	DMA Mux
系统存储映射		System memory map
时钟		Clock distribution

电源管理		Power management
通道请求	DMA 控制器	DMA Controller
请求		DMA request sources

### 3.3.9.1 DMA 复用请求源

器件的 DMA 请求复用器可以分配 16 个 DMA 通道的 63 个请求源。DMA 请求多路复用器并没有固定关联任何一个请求源或者是 DMA 通道。

表 3-24 DMA 请求复用器 0 请求源

源编号	源模块	源描述
0	—	通道禁用
1	保留	没有使用
2	UART0	保留
3	UART0	发送
4	UART1	接收
5	UART1	发送
6	UART2	接收
7	UART2	发送
8	UART3	接收
9	UART3	发送
10	UART4	接收
11	UART4	发送
12	UART5	接收
13	UART5	发送
14	IIS0	接收
15	IIS0	发送
16	SPI0	接收
17	SPI0	发送
18	SPI1	接收
19	SPI1	发送
20		
21		
22	IIC0	—
23	IIC1	—
24	FTM0	通道 0
25	FTM0	通道 1
26	FTM0	通道 2
27	FTM0	通道 3
28	FTM0	通道 4
29	FTM0	通道 5
30	FTM0	通道 6
31	FTM0	通道 7

32	FTM1	通道 0
33	FTM1	通道 1
34	FTM2	通道 0
35	FTM2	通道 1
36	FTM3	通道 0
37	FTM3	通道 1
38	FTM3	通道 2
39	FTM1	通道 3
40	ADC0	—
41	ADC1	—
42	CMP0	—
43	CMP1	—
44	CMP2	—
45	DAC0	—
46	DAC1	—
47	CMT	—
48	PDB	—
49	Port control module	PortA
50	Port control module	PortB
51	Port control module	PortC
52	Port control module	PortD
53	Port control module	PortE
54	FTM3	通道 4
55	FTM3	通道 5
56	FTM3	通道 6
57	FTM3	通道 7
58	DMA MUX	始终启用
59	DMA MUX	始终启用
60	DMA MUX	始终启用
61	DMA MUX	始终启用
62	DMA MUX	始终启用
63	DMA MUX	始终启用

### 3.3.9.2 DMA 通过周期中断定时器 PIT 周期触发传送

前四个 DMA 通道可以通过周期中断定时器 PIT 触发传送。具体的分部细节在 PIT/DMA 周期触发章节中有描述。

### 3.3.10 DMA 控制器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

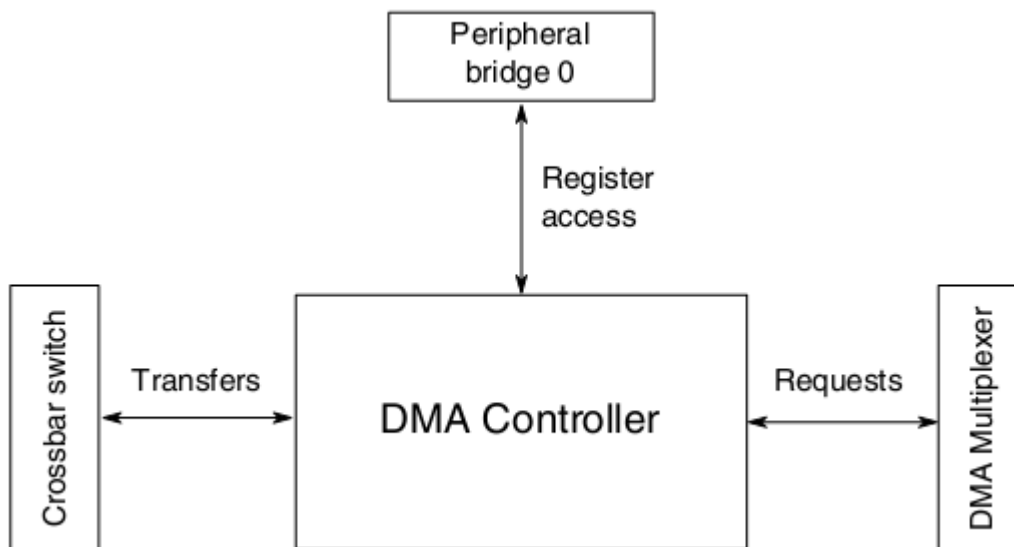


图 3-14 DMA 控制器配置

表 3-25 相关信息参考链接

主题	相关模块	参考链接
全面介绍	DMA 控制器	DMA Controller
系统存储映射		System memory map
寄存器访问	专用外设总线 0	AIPS-Lite 0
时钟		Clock distribution
电源管理		Power management
传输	交叉开关	Crossbar switch

### 3.3.11 外部看门狗监视器 EWM 配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

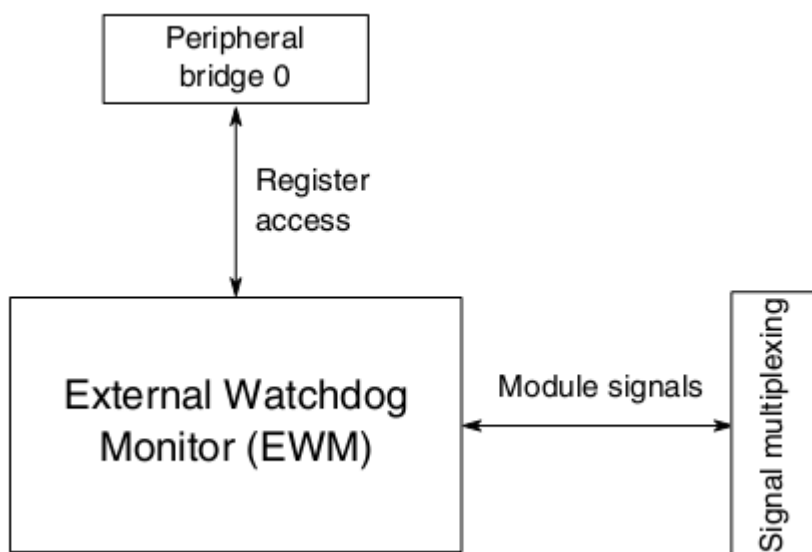


图 3-15 外部看门狗监视器 EWM 配置

表 3-26 相关信息参考链接

主题	相关模块	参考链接
全面介绍	外部看门狗监视器 EWM	EWM
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management
信号多路复用	端口控制模块	Signal multiplexing

### 3.3.11.1 EWM 时钟

下表描述了 EWM 模块的时钟，以及相对应的芯片时钟

表 3-27 EWM 时钟关系

模块时钟	芯片时钟
低功耗时钟	1 kHz LPO 时钟

### 3.3.11.2 EWM 电源模式

下表描述了 EWM 的低功耗电源模式和芯片的低功耗电源模式之间的关系

模块模式	芯片模式
等待	等待模式, VLPW
停止	停止模式, VLPS, LLS
掉电	VLLS3, VLLS2, VLLS1

### 3.3.11.3 低功耗模式下 EWM\_OUT 引脚状态

在等待，停止或者是掉电模式下  $\overline{\text{EWM\_OUT}}$  引脚保持为高阻状态。用户可以将其配置为外部上拉或者内部上拉。当 CPU 从等待或者停止模式进入运行模式时，此引脚会进入到之前运行模式时所对应的状态。如果 CPU 是从掉电模式进入到运行模式，引脚则会恢复到复位状态。

### 3.3.12 看门狗配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

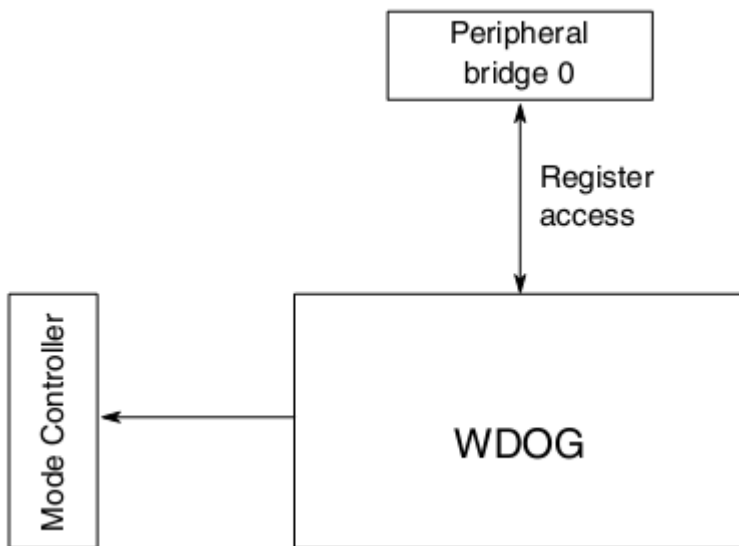


图 3-16 看门狗配置

表 3-29 相关信息参考链接

主题	相关模块	参考链接
全面介绍	看门狗	Watchdog
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management
	模式控制器	Mode Controller

#### 3.3.12.1 看门狗时钟

下表描述了看门狗时钟和芯片时钟的关系

表 3-30 看门狗时钟

模块时钟	芯片时钟
低功耗振荡器	1 kHz LPO 时钟
辅助时钟	总线时钟
快速测试时钟	总线时钟
系统总线时钟	总线时钟

### 3.3.12.1 看门狗电源模式

下表描述了看门狗电源模式和芯片电源模式之间的关系

表 3-31 看门狗电源模式

模块模式	芯片模式
等待	等待, VLPW
待机	停止, VLPS
停止	停止, VLPS
掉电	LLS, VLLSx

#### 注意

如果要在芯片的停止模式下使能看门狗，  
需要在看门狗状态寄存器的 STNDBYEN 位  
和看门狗控制寄存器高半字节的 STOPEN 位同时写 1。

## 3.4 时钟模块

### 3.4.1 多路时钟发生器 (MCG) 配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

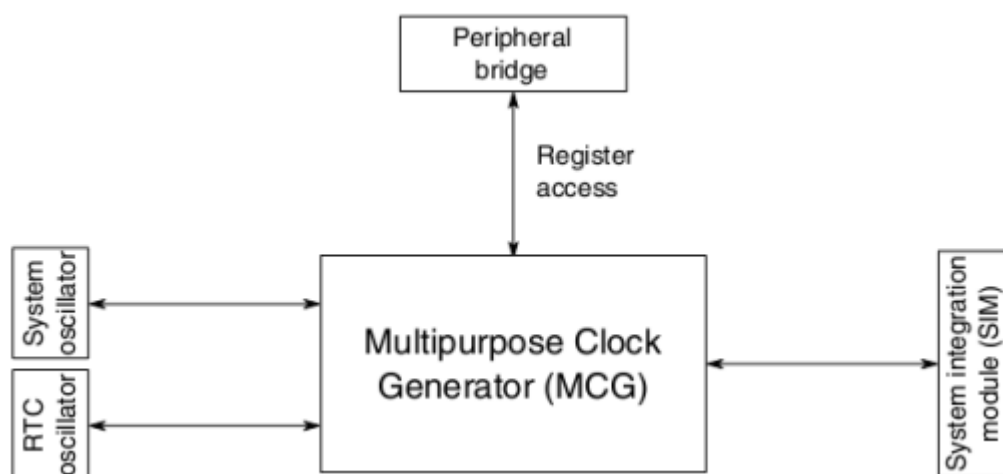


图 3-17 MCG 配置

表 3-32 相关信息参考链接

主题	相关模块	参考链接
全面介绍	MCG	MCG
系统存储映射		System memory map
时钟		Clock distribution



电源管理		Power management
信号多路复用	引脚控制器	Signal multiplexing

### 3.4.2 振荡器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

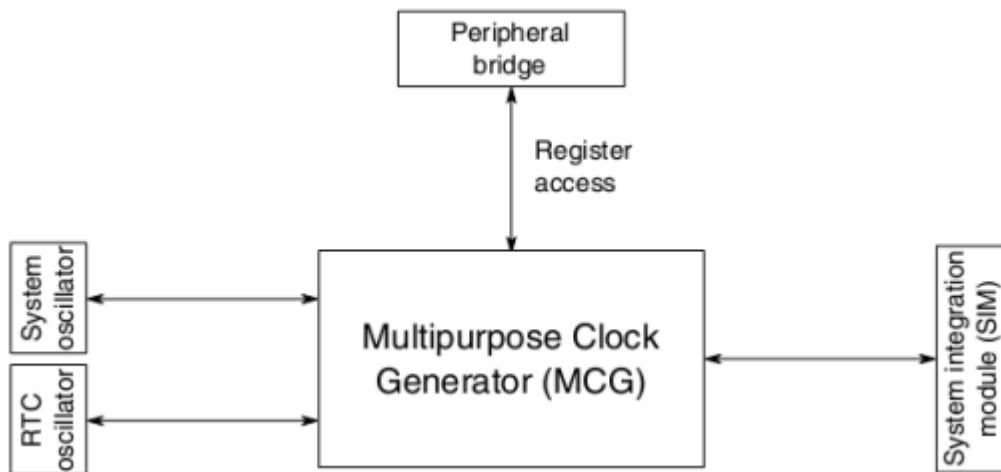


图 3-18 振荡器配置

表 3-33 相关信息参考链接

主题	相关模块	参考链接
全面介绍	OSC	OSC
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management
信号多路复用	引脚控制器	Signal multiplexing
全面介绍	MCG	MCG

#### 3.4.2.1 使用 MCG 配置振荡器

MCG 寄存器的 C2 寄存器位配置振荡器的频率范围，查看 OSC 和 MCG 章节获得更多详细信息。

#### 3.4.3 实时时钟振荡器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。



图 3-19 实时时钟振荡器配置

表 3-34 相关信息参考链接

主题	相关模块	参考链接
全面介绍	RTC OSC	RTC OSC
信号多路复用	引脚控制器	Signal multiplexing
全面介绍	MCG	MCG

## 3.5 存储器和存储器接口配置

### 3.5.1 Flash 存储器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

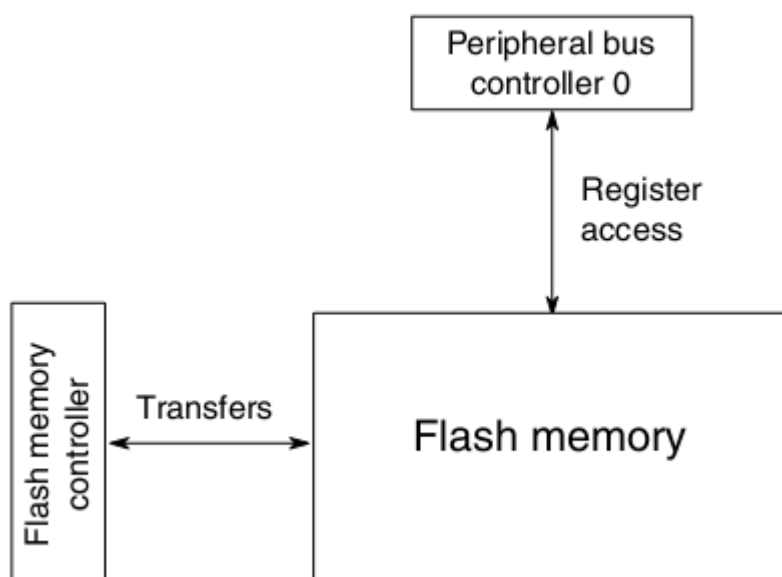


图 3-20 Flash 存储器配置

表 3-35 相关信息参考链接

主题	相关模块	参考链接
全面介绍	Flash 存储器	Flash memory
系统存储映射		System memory map
时钟		Clock distribution
传输	Flash 存储控制器	Flash memory

寄存器访问	专用外设总线	Peripheral bridge
-------	--------	-------------------

### 3.5.1.1 Flash 存储器类型

器件包含以下几种存储器：

- 程序闪存——非易失性存储器，可以运行程序。
- 柔性存储器 FlexMemory——包含下列存储类型
  - FlexNVM：可以存储可执行代码，数据，或者模拟为 EEPROM。
  - FlexRAM：可以作为普通的 RAM 使用，也可以作为高耐写 EEPROM，或者是用来加速 Flash 编程。

### 3.5.1.2 Flash 存储器大小

此文档中所包含的设备如下：

- 只包含程序 Flash 的器件，器件中包含两块 2KB/扇区的 Flash。
- 包含 FlexNVM 的器件：器件中包含一块 2KB/扇区的 Flash。
- 包含 FlexNVM 的器件：器件中包含一块 2KB/扇区的 FlexNVM。
- 包含 FlexNVM 的器件：器件中包含一块 FlexRAM。

本文件所描述的器件所包含的存储器大小：

器件	程序 Flash (KB)	Block 0 (P-Flash) 地址范围 (1)	FlexNVM (KB)	Block 1 (FlexNVM/P-Flash) 地址范围 (1)	FlexRAM (KB)	FlexRAM 地址范围
MK60DN256ZV LQ10	256	0x0000_0000 – 0x0001_FFFF	—	0x0002_0000 – 0x0003_FFFF	—	N/A
MK60DX256ZV LQ10	256	0x0000_0000 – 0x0003_FFFF	256	0x1000_0000 – 0x1003_FFFF	4	0x1400_0000 – 0x1400_0FFF
MK60DN512ZV LQ10	512	0x0000_0000 – 0x0003_FFFF	—	0x0004_0000 – 0x0007_FFFF	—	N/A
MK60DN256ZV MD10	256	0x0000_0000 – 0x0001_FFFF	—	0x0002_0000 – 0x0003_FFFF	—	N/A
MK60DX256ZV MD10	256	0x0000_0000 – 0x0003_FFFF	256	0x1000_0000 – 0x1003_FFFF	4	0x1400_0000 – 0x1400_0FFF
MK60DN512ZV MD10	512	0x0000_0000 – 0x0003_FFFF	—	0x0004_0000 – 0x0007_FFFF	—	N/A

(1) 对于只包含程序 Flash 的器件：地址范围是假定未使用程序存储互换的。(默认配置)

### 3.5.1.3 Flash 存储器使用注意事项

在使用本文档中所描述的器件时无论是仅包含程序 Flash 的器件还是包含 FlexNVM 的器件，在阅读 Flash 存储器章节时都需要注意一下几项内容。

- Flash 存储器章节中给出的是几种不同存储器的器件的混合内容。
- 对于仅包含程序 Flash 的器件：
  - 提供两块 Flash 存储器，两块 Flash 存储器在系统存储映射中是连续的。
  - Flash 存储器具有起始地址互换功能。
  - FlexRAM 是不可用的，无论是 EEPROM 还是 RAM。他唯一的功能就是通过指令实

现 Flash 加速。

- 对于仅包含程序 Flash 和 FlexRAM 的器件：
  - 由于只有一块 Flash 存储器，所以交换功能是不可用的。

### 3.5.1.4 Flash 存储器地址映射

下图描述了各种存储器和寄存器的基地址。每块基址的具体描述在系统存储映射章节中。

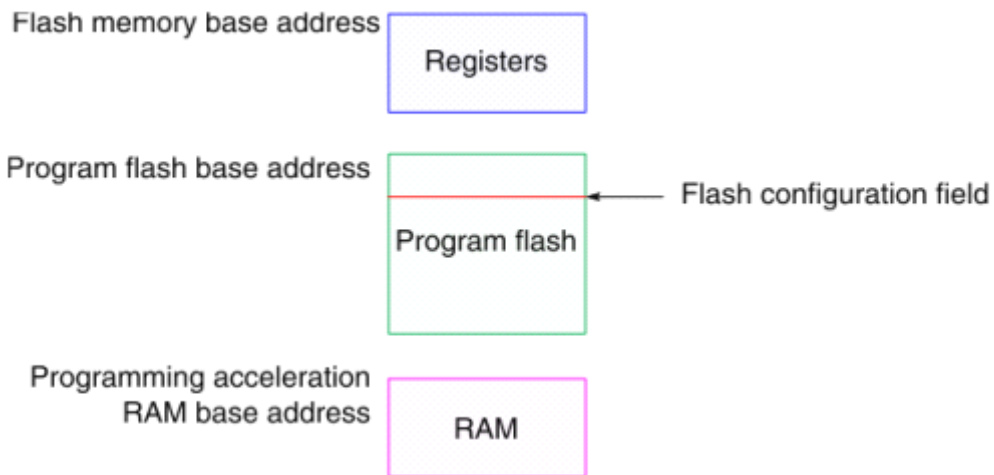


图 3-21 仅包含程序 Flash 器件的地址映射

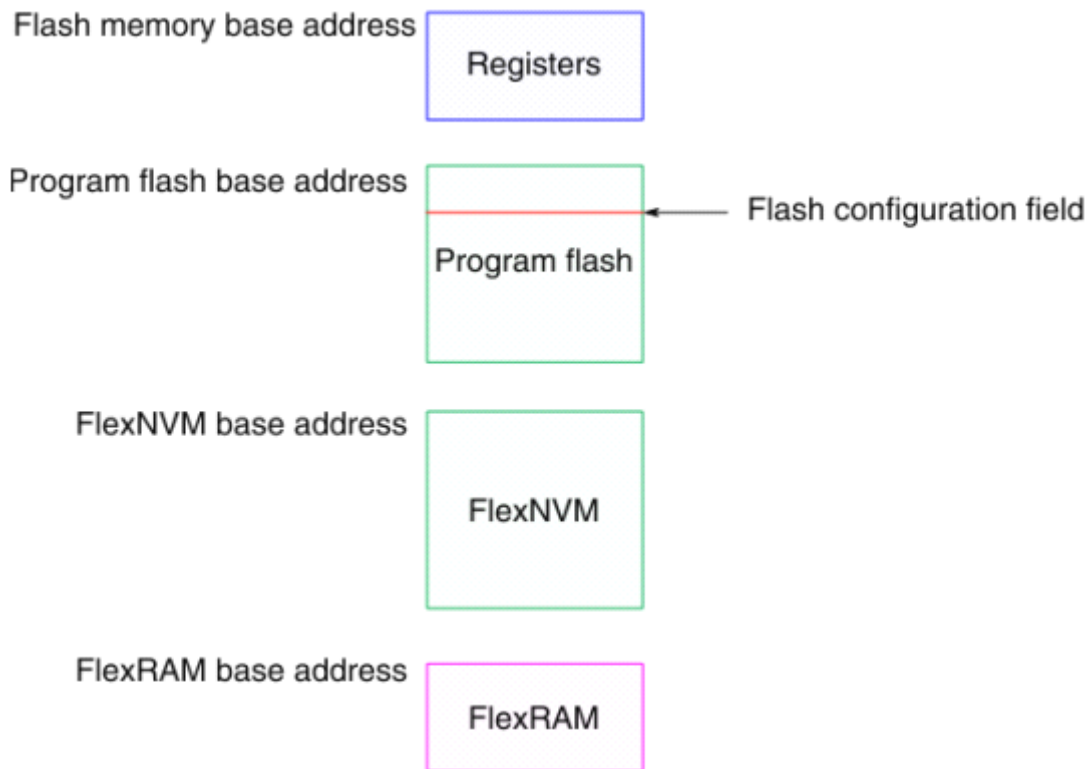


图 3-22 包含 FlexNVM 的器件存储映射

### 3.5.1.5 Flash 存储器安全

关于如何使用Flash 安全功能，请参阅芯片加密章节。

### 3.5.1.6 Flash 模式

Flash 存储器操作分为 NVM 正常模式和特殊模式。EzPort 使能时进入特殊模式（EZP\_CS 引脚在复位过程中有效时），或者是在调试模式下。在其他的情况下，只能使用正常模式。

### 3.5.1.7 Flash 格式化

除了软件意外，整个Flash 可以通过以下两个途径进行外部擦除。

- 通过 EzPort 的批量擦除功能。查看 EzPort 章节获得更多信息。
- 设置 DAP\_CONTROL[0]，通过 SWJ-DP 调试接口擦除。DAP\_CONTROL[0]的设置标志着擦除功能开启，DAP\_CONTROL[0]清除表明擦除已经完成。

### 3.5.1.7 FTFL\_FOPT 寄存器

Flash 存储的 FTFL\_FOPT 寄存器允许用户可以在 MCU 启动过程中自定义一些操作，查看 FOPT boot 章节获得更多信息。

## 3.5.2 Flash 存储器控制器配置

本节概述如何配置芯片中的相应模块。在后面专门的章节中有更全面的介绍。

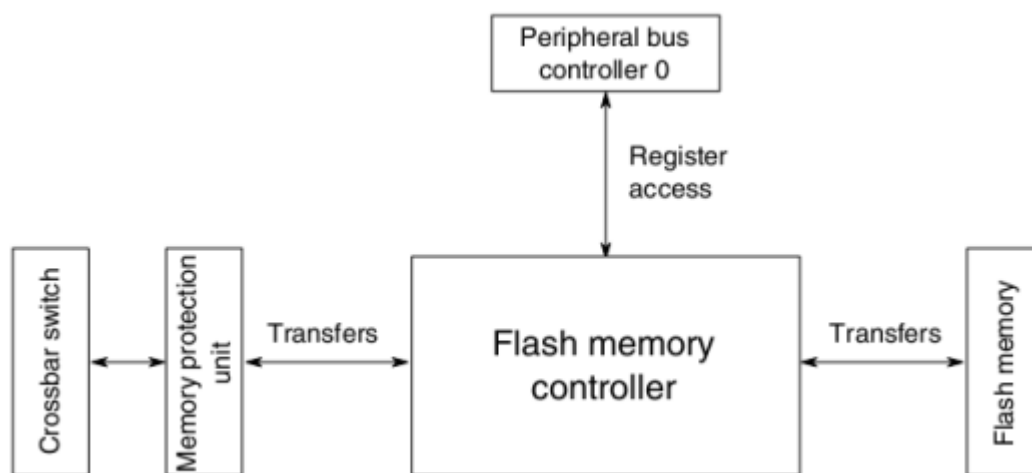


图 3-23 Flash 存储器控制器配置

表 3-36 相关信息参考链接

主题	相关模块	参考链接
全面介绍	Flash 存储器控制器	Flash memory controller
系统存储映射		System memory map
时钟		Clock distribution
传输	Flash 存储控制器	Flash memory
传输	内存保护单元	MPU

传输	交叉开关	Crossbar Switch
寄存器访问	专用外设总线	Peripheral bridge

### 3.5.2.1 主控器件编号

Flash 存储器控制器在交叉开关中提供高达 8 个主控器件接口。所以器件可以通过交叉开关使用不同的主控器件。查看交叉开关章节获得更多端口分配的信息。

### 3.5.2.2 程序 Flash 交换功能

在仅包含程序 Flash 的器件中，两块程序 Flash 可以实现交换基地址的功能。

当没有使用交换功能时：

- FMC\_PFB0CR 控制着低位代码地址（0 块）
- FMC\_PFB1CR 控制着高位代码地址（1 块）

如果使用了地址交换功能：

- FMC\_PFB0CR 控制着高位代码地址（1 块）
- FMC\_PFB1CR 控制着低位代码地址（0 块）

### 3.5.3 RAM 配置

本节概述如何配置芯片中的相应模块。

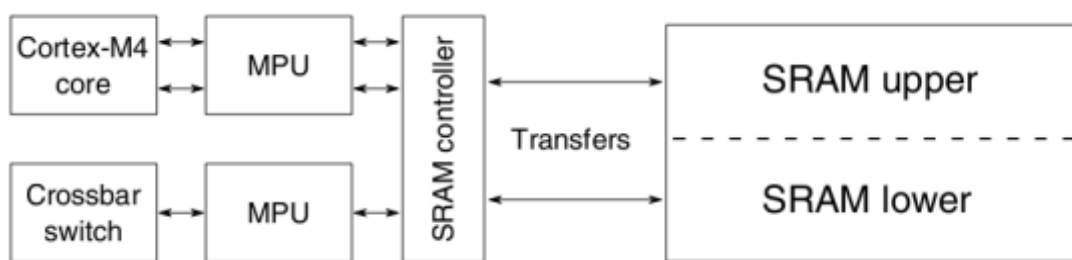


图 3-24 RAM 存储器配置

表 3-37 相关信息参考链接

主题	相关模块	参考链接
全面介绍	RAM 存储器	SRAM
系统存储映射		System memory map
时钟		Clock distribution
传输	SRAM 控制器	SRAM controller
	ARM Cortex-M4 核心	ARM Cortex-M4 core
	存储保护单元	Memory protection unit

#### 3.5.3.1 RAM 大小

芯片的 SRAM 和 ARM Cortex-M4 核心机密的结合在一起。本文所描述的器件 SRAM 的大小如下表所示：

器件	SRAM (KB)
MK60DN256ZVLQ10	64

MK60DX256ZVLQ10	64
MK60DN512ZVLQ10	128
MK60DN256ZVMD10	64
MK60DX256ZVMD10	64
MK60DN512ZVMD10	128

### 3.5.3.2 RAM 阵列

片上 RAM 分为两个大小相等的阵列，SRAM\_L 和 SRAM\_U。

两块片上 RAM 在地址映射中是连续的。如下：

SRAM\_L 固定在 0x1FFF\_FFFF 之前的空间里。

SRAM\_U 固定在 0x2000\_0000 之后的空间里

SRAM\_L 和 SRAM\_U 有效地地址空间定义为：

SRAM\_L = [0x2000\_0000 - (SRAM 大小/2)] 到 0x1FFF\_FFFF

SRAM\_U = 0x2000\_0000 到 [0x2000\_0000+(SRAM 大小/2)-1]

下面的图表具体说明

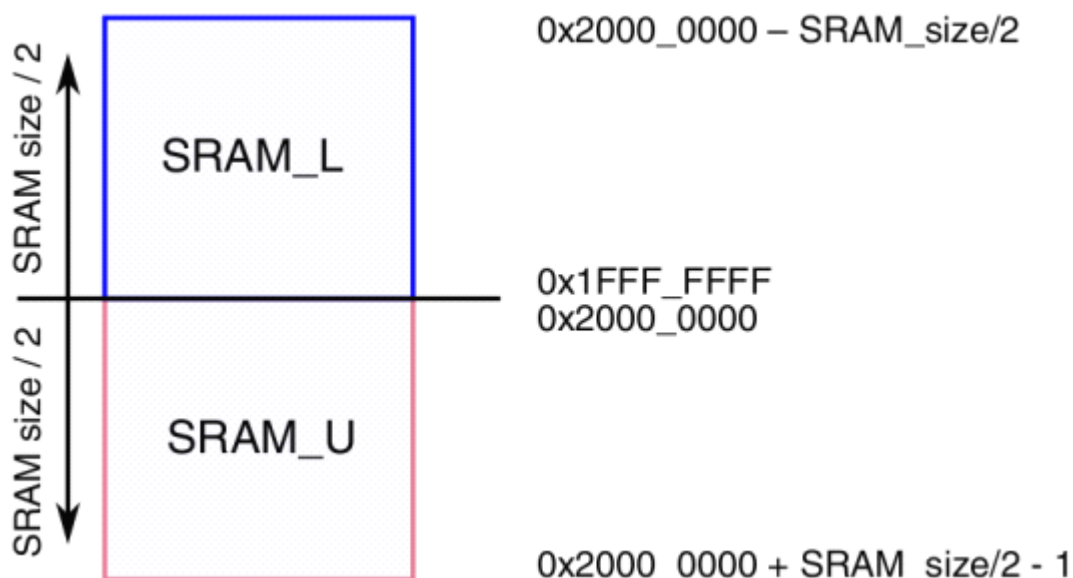


图 3-25 RAM 存储映射

例如器件包括 64K 的 RAM

- SRAM\_L: 0x1FFF\_8000 - 0x1FFF\_FFFF
- SRAM\_U: 0x2000\_0000 - 0x2000\_7FFF

### 3.5.3.3 在低功耗模式下 RAM 的保持

SRAM 在 VLLS3 模式下会被保留。

在 VLLS2 模式下 SRAM\_U 中 4 KB 的 SRAM 会被保持。

在 VLLS1 模式下没有 RAM 被保留，但是有 32 字节的寄存器会被保留。

### 3.5.3.4 存取

SRAM 被分为两个 32 位宽的阵列

- SRAM\_L ——被 Cortex-M4 核心和**后门端口**通过代码总线访问。
- SRAM\_U ——被 Cortex-M4 核心和**后门端口**通过系统总线访问。

后门端口可以实现不通过核心来访问 SRAM，比如说 DMA。

下面的图说明 SRAM 在器件中是如何被访问的。

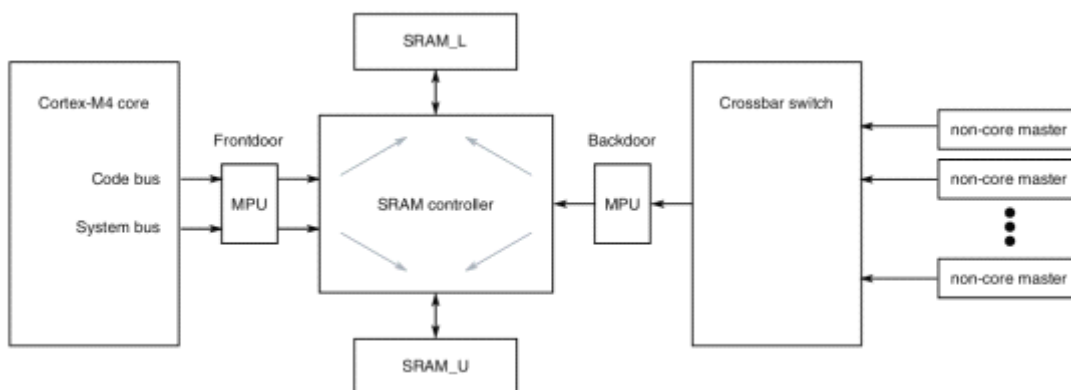


图 3-26 SRAM 访问图解

以下可以不同逻辑块的 SRAM:

- 核心代码和核心
- 核心代码和非核心主控制器件
- 核心系统和非核心主控制器件

#### 注意

**两个非核心器件不能同时访问 SRAM 的，访问仲裁和排序是通过交叉开关进行的。SRAM 控制器根据 MCM 模块中相应的控制位实现 SRAM\_{L,U} 仲裁。突发访问不能发生在以 0x2000\_0000 为边界的两块 SRAM 中，这两个逻辑块必须分别单独处理突发访问。**

### 3.5.3.5 SRAM 访问仲裁和优先级控制

MCM 模块的 SRAMAP 寄存器控制着两块 SRAM 的访问仲裁和优先级。

### 3.5.4 SRAM 控制器配置

本节概述如何配置芯片中的相应模块。

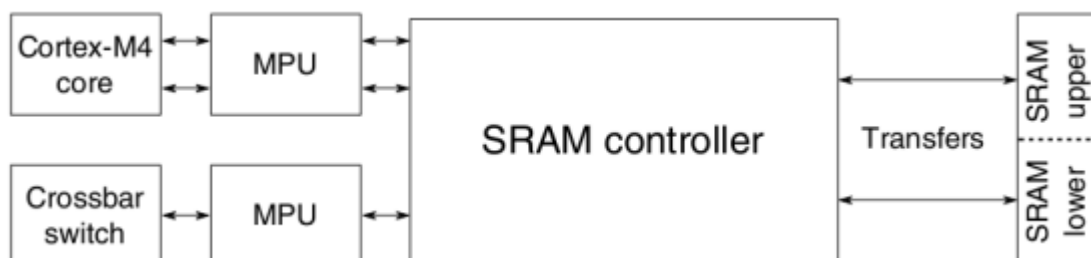


图 3-27 SRAM 控制器配置

表 3-38 相关信息参考链接

主题	相关模块	参考链接
----	------	------



系统存储映射		System memory map
电源管理		Power management
电源管理控制		PMC
传输	SRAM 控制器	SRAM controller
	ARM Cortex-M4 核心	ARM Cortex-M4 core
	存储保护单元	Memory protection unit
配置	MCM	MCM

### 3.5.5 系统寄存器文件配置

本节概述如何配置芯片中的相应模块。

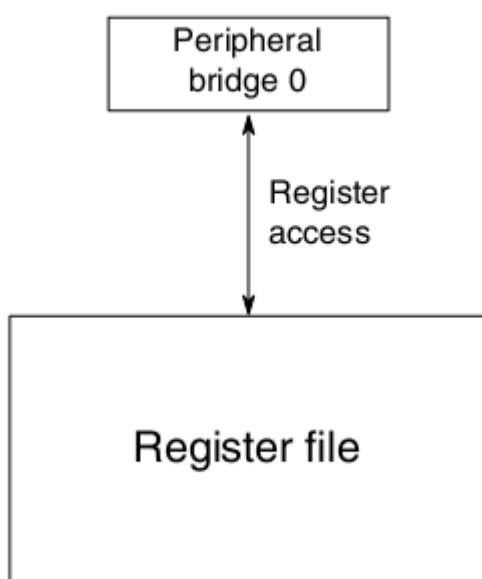


图 3-28 系统寄存器文件配置

表 3-39 相关信息参考链接

主题	相关模块	参考链接
全面介绍	寄存器文件	Register file
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management

#### 3.5.5.1 系统寄存器文件

器件包括 32 字节的寄存器在所有的电源模式下都可以保持供电。同时他可以再低功耗模式下保持，只会在上电复位时被复位。

#### 3.5.6 VBAT 寄存器文件配置

本节概述如何配置芯片中的相应模块。

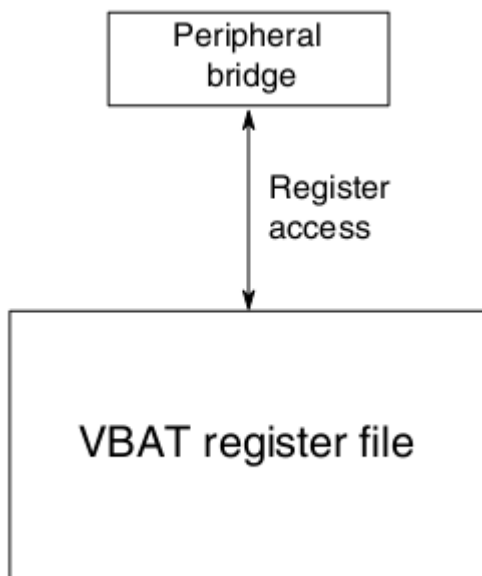


图 3-29 VBAT 寄存器文件配置

表 3-40 相关信息参考链接

主题	相关模块	参考链接
全面介绍	寄存器文件	Register file
系统存储映射		System memory map
时钟		Clock distribution
电源管理		Power management

### 3.5.6.1 VBAT 寄存器文件

器件包括 32 字节在所有供电模式下都可以保持的靠 VBAT 供电的 VBAT 寄存器，其中的内容只会在 VBAT 上电是发生复位。

### 3.5.7 EzPort 配置

本节概述如何配置芯片中的相应模块。



图 3-30 EzPort 配置

表 3-41 相关信息参考链接

主题	相关模块	参考链接

全面介绍	EzPort	EzPort
系统存储映射		System memory map
时钟		Clock distribution
传输	交叉开关	Crossbar switch
信号多路复用	端口控制	Signal Multiplexing

### 3.5.7.1 JTAG 指令

系统使用 JTAG 实现 EZPORT 指令，当执行此命令时，JTAG 控制器复位核心，使芯片进入 EZPORT 模式。

### 3.5.7.2 Flash 选项寄存器 (FOPT)

FOPT 寄存器的[EZPORT\_DIS]位可以防止 MCU 在复位过程中进入 EzPort 模式。如果 FOPT 寄存器的[EZPORT\_DIS]位被清空时，状态片选信号引脚  $\overline{\text{EZP\_CS}}$  会被忽略，MCU 因此进入普通模式。这个选项被系统用于配置  $\overline{\text{EZP\_CS}}$  /NMI信号的 NMI（应该是不可屏蔽中断）功能。禁用 EzPort 没夸可以防止意外的进入 EzPort 模式，尤其是在 NMI 在复位过程中会产生信号的时候。

FOPT 寄存器从 Flash 选项中加载。如果其中的值发生了改变，直到下一次（任何类型的）复位时才会生效。

### 3.5.8 FlexBus 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

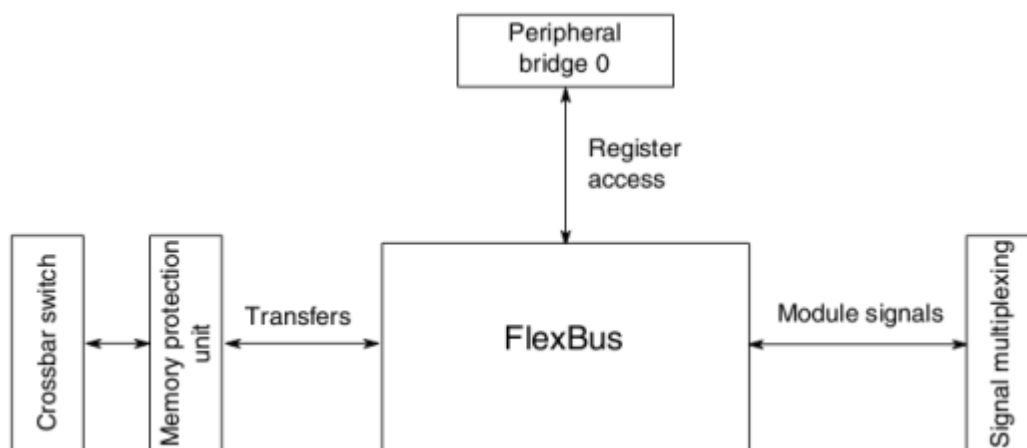


图 3-31 FlexBus 配置

表 3-42 相关信息参考链接

主题	相关模块	参考链接
全面介绍	FlexBus	FlexBus
系统存储映射		System memory map
时钟		Clock distribution

电源管理		Power management
传输	存储保护单元	Memory protection unit (MPU)
信号多路复用	端口控制	Signal Multiplexing

### 3.5.8.1 FlexBus 时钟

系统为 FlexBus 提供了一个独立的外部时钟源输出：FB\_CLKOUT，这个时钟是从 MCGOUTCLK 分频得到的。查看时钟分配章节取得更多信息。

### 3.5.8.2 FlexBus 信号复用

端口控制模块控制着 FlexBus 的数据线和地址线的复用。端口控制模块也控制着 FlexBus 的一些控制信号的复用。端口复用模块控制着 FlexBus 和一些其他的模块是否使用外部引脚，当然 FlexBus 的 CSPMCR 控制器也控制着 FlexBus 模块的那些信号是起作用的。控制信号的分组如图所示：

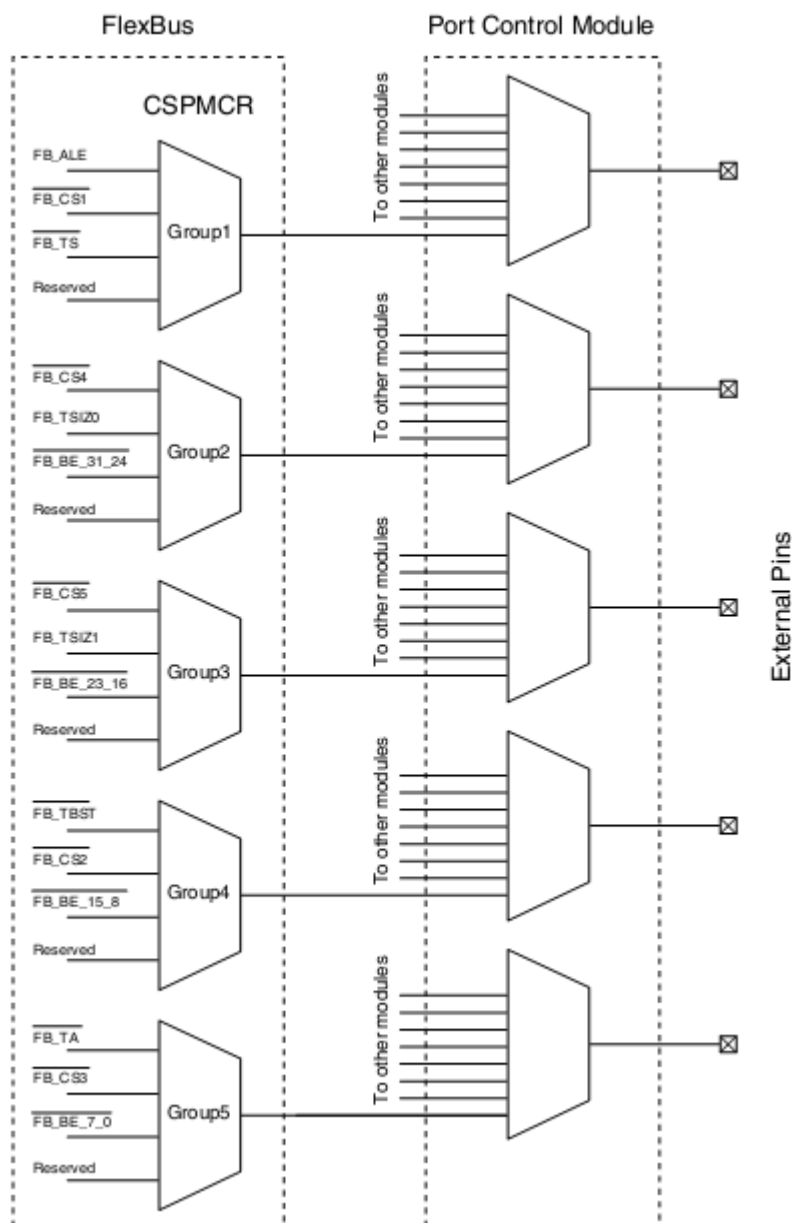


图 3-32 FlexBus 控制信号复用

因此，CSPMCR 寄存器和端口控制器控制着那些外部引脚的信号是使能的。除去被引脚控制模块分配成 ALT5 功能的  $\overline{\text{FB\_TA}}$ 。因为不像其他的控制信号， $\overline{\text{FB\_TA}}$  是一个输入信号，他被分配成 ALT6 功能。

### 3.5.8.3 FlexBus CSCRO 寄存器复位值

在器件中 CSCRO 寄存器复位值为 0x003F\_FC00。必须在使用 FlexBus 执行任何命令之前配置 CSCRO 寄存器。

### 3.5.8.4 FlexBus 安全选项

当芯片使用安全选项时，FlexBus 的访问会被 SIM 模块中 SOPT2 寄存器的 FBSEL 位域的配置所限制。查看 SIM 章节琥珀的更多信息。

### 3.5.8.4 FlexBus 线传输

线传输在 ARM Cortex-M4 内核中是不可能实现的。所以在 FlexBus 章节中要忽略任何关于线传输的内容。

## 3.6 安全

### 3.6.1 CRC 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

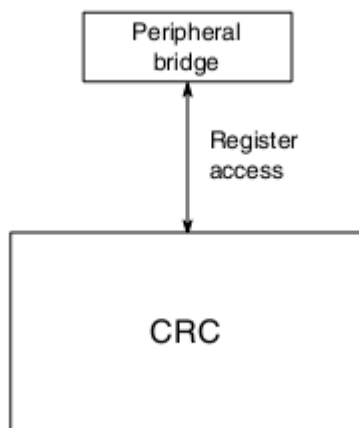


图 3-33 CRC 配置

表 3-43 相关信息参考链接

主题	相关模块	参考链接
全面介绍	CRC	CRC
系统存储映射		System memory map
电源管理		Power management

### 3.6.2 MMCAU 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。



图 3-34 MMCAU 配置

表 3-44 相关信息参考链接

主题	相关模块	参考链接
全面介绍	MMCAU	MMCAU
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
专用外设总线传输	ARM Cortex M4 核心	

### 3.6.3 RNG 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

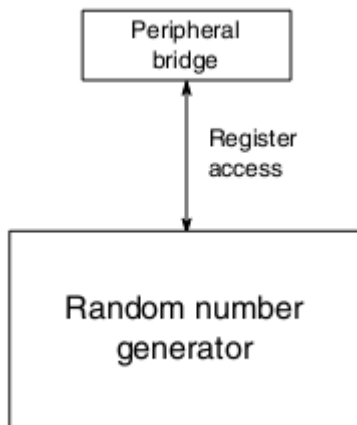


图 3-35 RNG 配置

表 3-45 相关信息参考链接

主题	相关模块	参考链接
全面介绍	RNG	RNG
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management

## 3.7 模拟

### 3.7.1 带有可编程功能的 16 位逐次逼近型 ADC 的配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

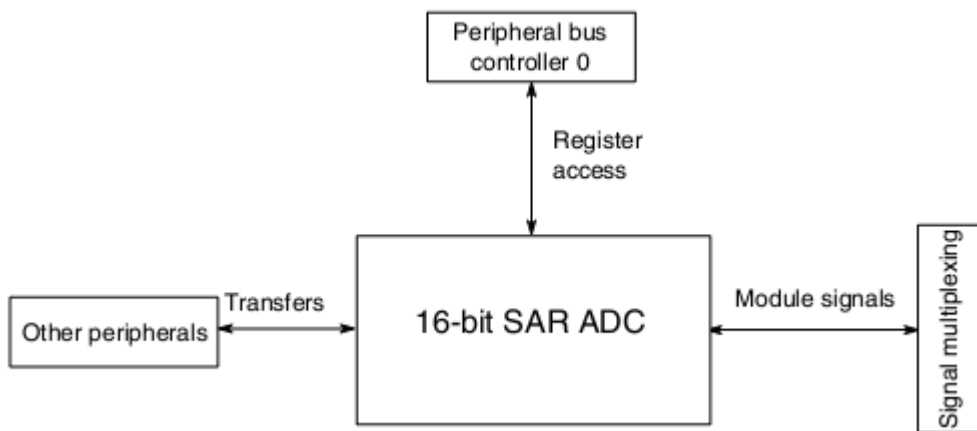


图 3-36 带有可编程增益功能的 ADC 配置

表 3-46 相关信息参考链接

主题	相关模块	参考链接
全面介绍	带有可编程增益功能的 ADC	16-bit SAR ADC with PGA
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

#### 3.7.1.1 ADC 说明信息

器件包括两个 ADC 模块，每个模块都包含独立的可编程增益放大器。

##### 3.7.1.1.1 ADC 通道数目

器件的封装决定 ADC 输入通道的个数，关于 ADC 通道的数目，请参考信号复用章节。

##### 3.7.1.2 ADC 的 DMA 功能支持

在默写应用中 ADC 可能需要连续的采样（4K SPS/S），这可能给 CPU 带来很大的负荷。使用 PDB 定时器触发 ADC 可以减轻 CPU 的一部分负担。ADC 的 DMA 功能支持可以实现高性能的快速 ADC 采样或者是 ADC 使用 PDB 做周期触发。在转换完成时 ADC 可以触发 DMA。

##### 3.7.1.3 ADC0 连接和通道分布

###### 注意

如下所示，每一个 ADC<sub>x</sub>\_DP<sub>x</sub> 和 ADC<sub>x</sub>\_DM<sub>x</sub> 输入  
在单端模式下都可以作为一个单端输入

##### 3.7.1.3.1 ADC0 在 144 脚封装中的通道分布

ADC 通道 (SC1n[ADCH])	通道	信号输入 (SC1n[DIFFF]= 1)	信号输入 (SC1n[DIFFF]= 0)
00000	DAD0	ADC0_DP0 and ADC0_DM0 (1)	ADC0_DP0 (2)
00001	DAD1	ADC0_DP1 and ADC0_DM1	ADC0_DP1
00010	DAD2	PGA0_DP and PGA0_DM	PGA0_DP
00011	DAD3	ADC0_DP3 and ADC0_DM3 (3)	ADC0_DP3 (4)
00100 (5)	AD4a	保留	保留
00101 (5)	AD5a	保留	保留
00110 (5)	AD6a	保留	保留
00111 (5)	AD7a	保留	保留
00100 (5)	AD4b	保留	ADC0_SE4b
00101 (5)	AD5b	保留	ADC0_SE5b
00110 (5)	AD6b	保留	ADC0_SE6b
00111 (5)	AD7b	保留	ADC0_SE7b
01000	AD8	保留	ADC0_SE8 (6)
01001	AD9	保留	ADC0_SE9 (7)
01010	AD10b	保留	ADC0_SE10
01011	AD11b	保留	ADC0_SE11
01100	AD12	保留	ADC0_SE12
01101	AD13	保留	ADC0_SE13
01110	AD14	保留	ADC0_SE14
01111	AD15	保留	ADC0_SE15
10000	AD16	保留	ADC0_SE16
10001	AD17	保留	ADC0_SE17
10010	AD18	保留	ADC0_SE18
10011	AD19	保留	ADC0_DM0 (8)
10100	AD20	保留	ADC0_DM1
10101	AD21	保留	
10110	AD22	保留	
10111	AD23	保留	12-bit DAC0 输出
11000	AD24	保留	保留
11001	AD25	保留	保留
11010	AD26	Temperature Sensor (Diff)	Temperature Sensor (S.E)
11011	AD27	Bandgap (Diff) (9)	Bandgap (S.E) (9)
11100	AD28	保留	保留
11101	AD29	-VREFH (Diff)	VREFH (S.E)
11110	AD30	保留	VREFL
11111	AD31	Module Disabled	Module Disabled

(1) 和 ADC1\_DP3、ADC1\_DM3 交叉使用

(2) 和 ADC1\_DP3 交叉使用

(3) 和 ADC1\_DP0、ADC1\_DM0 交叉使用

(4) 和 ADC1\_DP0 交叉使用

(5) ADCx\_CFG2[MUXSEL] 位选择 ADCx\_SEn 的 A 通道和 B 通道，在 ADC 章节的 MUXSEL 描述中



有更多信息

(6) 和 ADC1\_SE8 交叉使用

(7) 和 ADC1\_SE9 交叉使用

(8) 和 ADC1\_DM3 交叉使用

(9) 这是电源管理控制模块的 1V 带隙参考电压而不是 VREF 模块的 1.2V 参考电压，在读取 ADC 通道信息是请确定已经设置过 PMC\_REGSC[BGBE] 位来启用带隙参考电压。详情参阅器件手册的带隙电压规范部分。

### 3.7.1.4 ADC1 连接和通道分布

#### 注意

如下所示，每一个 ADC<sub>x</sub> DP<sub>x</sub> 和 ADC<sub>x</sub> DM<sub>x</sub> 输入  
在单端模式下都可以作为一个单端输入

#### 3.7.1.4.1 ADC1 在 144 脚封装中的通道分布

ADC 通道 (SC1n[ADCH])	通道	信号输入 (SC1n[DIFFF]= 1)	信号输入 (SC1n[DIFFF]= 0)
00000	DAD0	ADC1_DP0 and ADC1_DM0 (1)	ADC1_DP0 (2)
00001	DAD1	ADC1_DP1 and ADC1_DM1	ADC1_DP1
00010	DAD2	PGA1_DP and PGA1_DM	PGA1_DP
00011	DAD3	ADC1_DP3 and ADC1_DM3 (3)	ADC1_DP3 (4)
00100 (5)	AD4a	保留	ADC1_SE4a
00101 (5)	AD5a	保留	ADC1_SE5a
00110 (5)	AD6a	保留	ADC1_SE6a
00111 (5)	AD7a	保留	ADC1_SE7a
00100 (5)	AD4b	保留	ADC1_SE4b
00101 (5)	AD5b	保留	ADC1_SE5b
00110 (5)	AD6b	保留	ADC1_SE6b
00111 (5)	AD7b	保留	ADC1_SE7b
01000	AD8	保留	ADC1_SE8 (6)
01001	AD9	保留	ADC1_SE9 (7)
01010	AD10b	保留	ADC1_SE10
01011	AD11b	保留	ADC1_SE11
01100	AD12	保留	ADC1_SE12
01101	AD13	保留	ADC1_SE13
01110	AD14	保留	ADC1_SE14
01111	AD15	保留	ADC1_SE15
10000	AD16	保留	ADC1_SE16
10001	AD17	保留	ADC1_SE17
10010	AD18	保留	VREF Output
10011	AD19	保留	ADC1_DM0 (8)
10100	AD20	保留	ADC1_DM1
10101	AD21	保留	保留
10110	AD22	保留	

10111	AD23	保留	12-bit DAC1 输出
11000	AD24	保留	保留
11001	AD25	保留	保留
11010	AD26	Temperature Sensor (Diff)	Temperature Sensor (S.E)
11011	AD27	Bandgap (Diff) (9)	Bandgap (S.E) (9)
11100	AD28	保留	保留
11101	AD29	-VREFH (Diff)	VREFH (S.E)
11110	AD30	保留	VREFL
11111	AD31	Module Disabled	Module Disabled

(1) 和 ADC1\_DP3、ADC1\_DM3 交叉使用

(2) 和 ADC1\_DP3 交叉使用

(3) 和 ADC1\_DP0、ADC1\_DM0 交叉使用

(4) 和 ADC1\_DP0 交叉使用

(5) ADCx\_CFG2[MUXSEL] 位选择 ADCx\_SEn 的 A 通道和 B 通道，在 ADC 章节的 MUXSEL 描述中有更多信息

(6) 和 ADC1\_SE8 交叉使用

(7) 和 ADC1\_SE9 交叉使用

(8) 和 ADC1\_DM3 交叉使用

(9) 这是电源管理控制模块的 1V 带隙参考电压而不是 VREF 模块的 1.2V 参考电压，在读取 ADC 通道信息是请确定已经设置过 PMC\_REGSC[BGBE] 位来启用带隙参考电压。详情参阅器件手册的带隙电压规范部分。

### 3.7.1.5 ADC 通道复用的选择

下表中描述了 ADCx\_SEn 通道 A 和 B 通过多路复用器连接到 ADC 模块。查看 ADCx\_CFG2[MUXSEL] 位的设置来实现通道的选择。

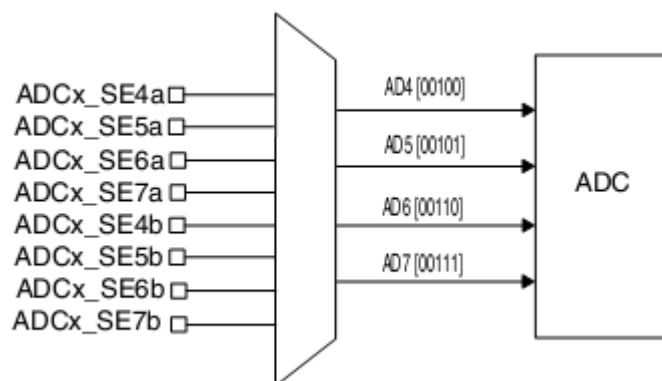


图 3-37 ADCx\_SEn 通道 A 和 B 的选择

### 3.7.1.6 ADC 硬件交叉通道

AD8 和 AD9 通道的硬件交叉连接如下图所示

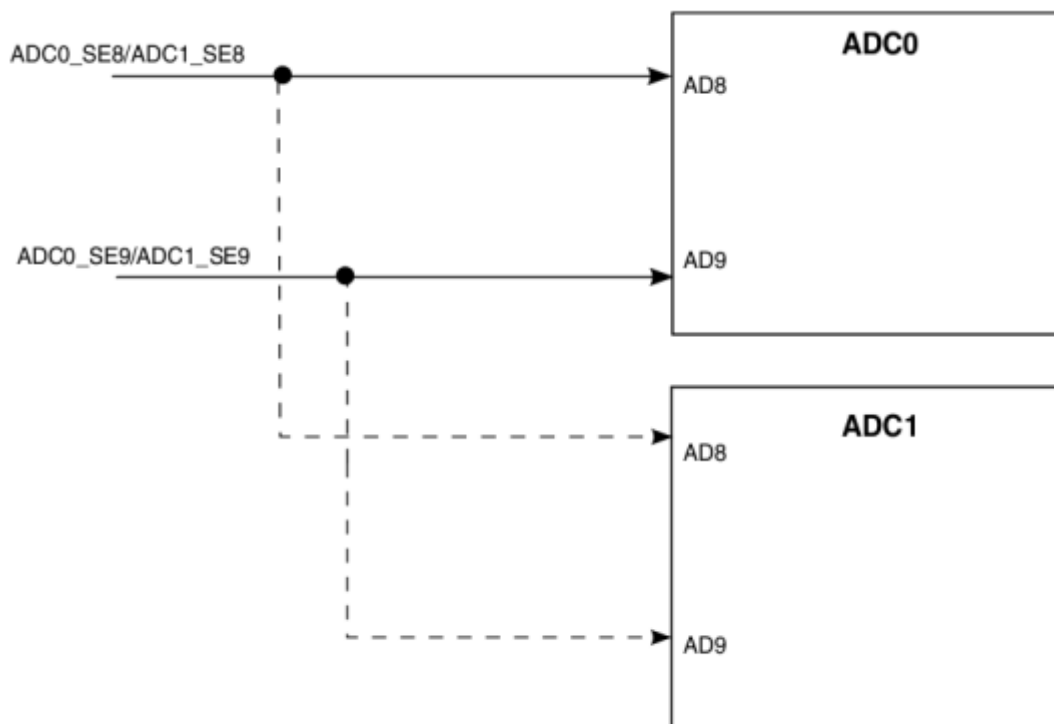


图 3-38 ADC 通道的硬件交叉连接

### 3.7.1.7 ADC 和 PGA 的参考选项

ADC 使用一下的参考电压

- VREFH/VREFL 主要参考点
- 1.2 V VREF\_OUT 连接  $V_{ALT}$  的参考点

ADCx\_SC2[REFSEL] 位来选择 ADC 的参考点。查看 ADC 章节中对 REFSEL 的描述获得更多信息。对于 PGA 而言，1.2 V VREF\_OUT 是唯一的参考点，VREF\_OUT 也可以在 VREF\_OUT 模块通过 VREF\_OUT 引脚使用外部驱动。保证 VREF\_OUT 模块启用，在使用外部参考的时候。对于 PGA 的差分信号输入范围参考 ADC 章节中对 PGA 的描述。

### 3.7.1.8 ADC 触发

ADC 模块既可以使用软件触发，也可以使用硬件触发。ADC 主要的软件触发源是 PDB。PDB 可以被其他的外围器件触发。例如：实时时钟模块（秒脉冲和报警）连接到 PDB。PDB 可以接收实时时钟（秒脉冲和报警）的触发而开启 ADC 使其运行（PDB 要使能）。另一方面 AC 可以在低功耗的电源模式下转换，不需要 PDB 的触发。这使得 ADC 可以在低功耗模式下转换并将转换结果存储在寄存器中。ADC 转换完成后产生中断将 CPU 从低功耗模式下唤醒。PDB 可以被忽略，通过设置 SOPT7 寄存器中的 ADCxTRGSEL 位。

在不同模式下操作触发器，参阅电源管理章节获得更多信息。

### 3.7.1.9 备用时钟

在器件中，备用时钟连接在 OSCERCLK 上。

#### 注意

时钟选项只能在 OSCERCLK 处在 MHz 范围内的时候，

如果系统的 OSCERCLK 处于 KHz 范围内，  
这将低于 ADC 的最低时钟频率。

### 3.7.1.10 ADC 的低功耗模式

下表表述了 ADC 的低功耗模式和芯片的相应的模式

模块模式	芯片模式
等待模式	等待模式, VLPW
普通停止模式	停止模式, VLPS
低功耗停止模式	LLS, VLLS3, VLLS2, VLLS1

### 3.7.1.11 PGA 集成

作为 ADC 的集成部分，PGA 不需要独立的引脚和通道。

每一个 PGA 通道连接着不同的 ADC 通道。

PGA 的差分输出连接到 ADC 的差分输入

当 PGA 使用时，差分输出连接到 ADC 差分输入通道 2

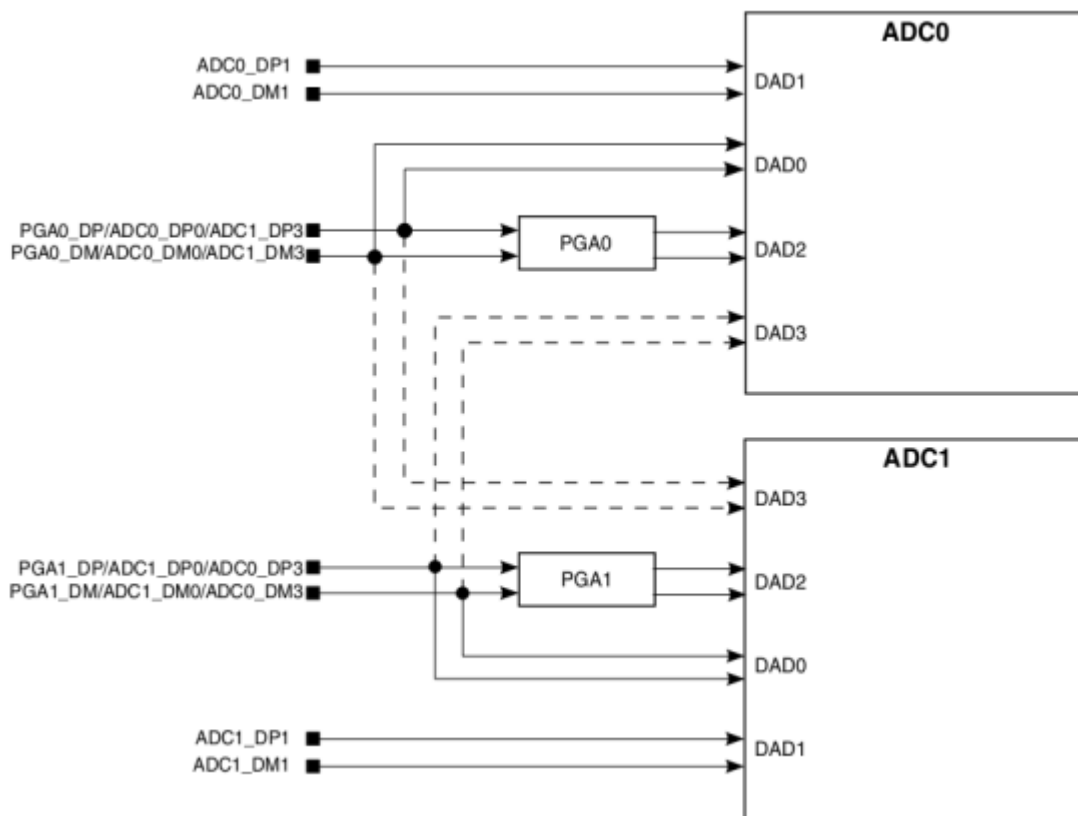


图 3-39 PGA 集成

### 3.7.2 模拟比较器配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

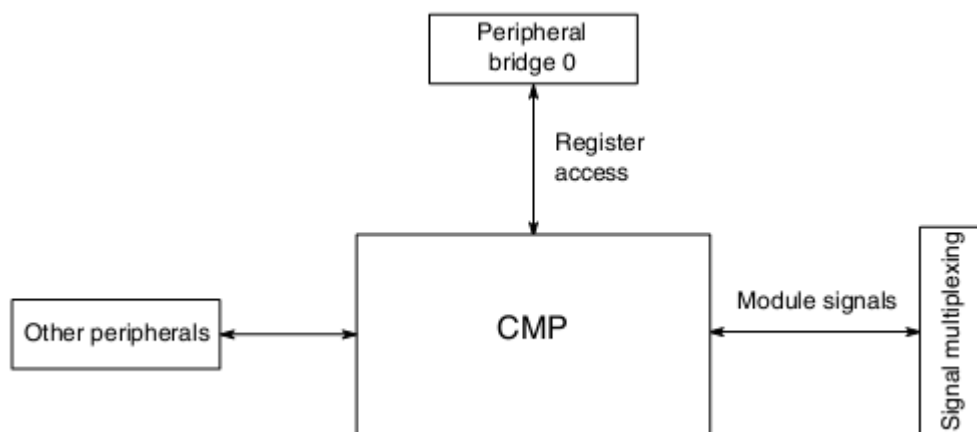


图 3-40 模拟比较器配置

表 3-48 相关信息参考链接

主题	相关模块	参考链接
全面介绍	模拟比较器	Comparator
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

### 3.7.2.1 模拟比较器输入连接

下表描述了模拟比较器内部的固定连接

模拟比较器输入	模拟比较器 0	模拟比较器 1	模拟比较器 2
IN0	CMP0_IN0	CMP1_IN0	CMP2_IN0
IN1	CMP0_IN1	CMP1_IN1	CMP2_IN1
IN2	CMP0_IN2	—	—
IN3	CMP0_IN3	12b DAC0 reference/ CMP1_IN3	12b DAC1 reference/ CMP2_IN3
IN4	CMP0_IN4	—	—
IN5	VREFoutput/CMP0_IN5	VREF output/CMP1_IN5	CMP2_IN5
IN6	Bandgap	Bandgap	Bandgap
IN7	6b DAC0 reference	6b DAC1 reference	—

### 3.7.2.2 模拟比较器外部参考

6 位 DAC 可以分别支持两个外部参考，器件中使用以下参考 yua 源：

- VREF\_OUT  $V_{in1}$  输入
- VDD  $V_{in2}$  输入

### 3.7.2.3 外部的窗口/样本输入

PDB 的脉冲输出控制着模拟比较器的窗口/样本输入。

### 3.7.3 12 位 DAC 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

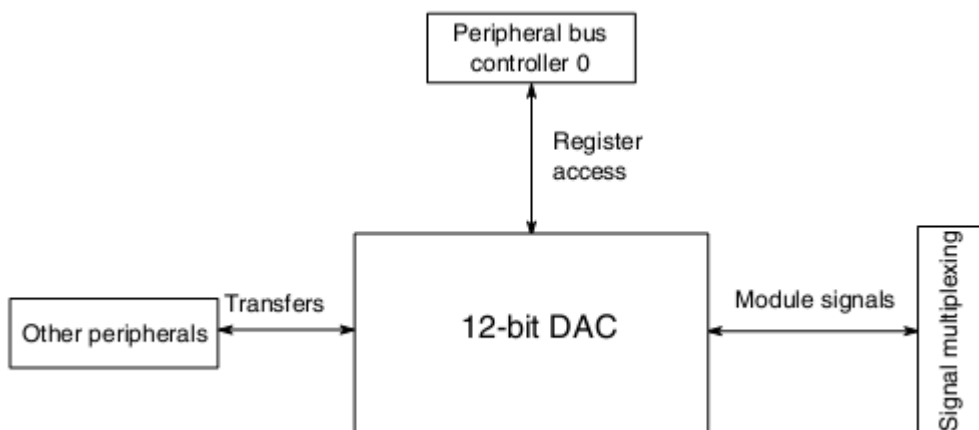


图 3-41 模拟比较器配置

表 3-49 相关信息参考链接

主题	相关模块	参考链接
全面介绍	12 位 DAC	12-bit DAC
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

#### 3.7.3.1 12 位 DAC 概览

器件包括两个可编程参考输出的 12 位 DAC，DAC 包括 FIFO 和 DMA 功能支持。

#### 3.7.3.2 12 位 DAC 输出

DAC 可以配置成外部输出或者是比较器和 ADC 的输入。

#### 3.7.3.3 12 位 DAC 的参考点

在器件中 VREF\_OUT 和 VDDA 可以作为 DAC 的参考点。VREF\_OUT 连接到 DACREF\_1 的输入，VDDA 连接到 DACREF\_2 的输入。使用 DACx\_CO[DACRFS] 来选择两个输入参考。

要注意 ADC 和 DAC 同时使用 VREF\_OUT 作为参考，由于 DAC 的切换，会导致 ADC 的精度降低。

#### 3.7.4 VREF 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

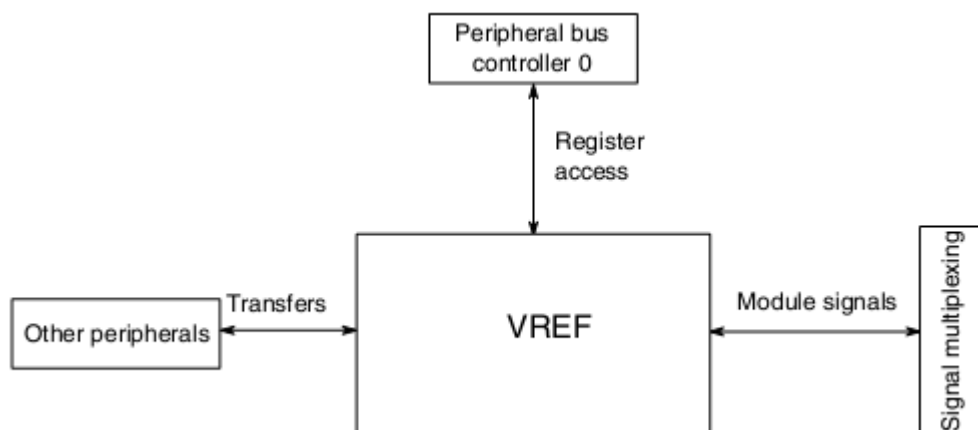


图 3-42 VREF 配置

表 3-50 相关信息参考链接

主题	相关模块	参考链接
全面介绍	VREF	VREF
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

### 3.7.4.1 VREF 概览

器件包括一个参考电压源提供精确地 1.2V 电压输出。

参考电压输出可以为外围器件提供精确地参考点比如 ADC, DAC, 和 CMP。

#### 注意

**如果使用 VREF\_OUT 做内部或者外部的参考点,**

**VREF\_OUT 必须连接外部负载电容。**

**详细信息参考器件手册相应的章节。**

## 3.8 定时器

### 3.8.1 PDB 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

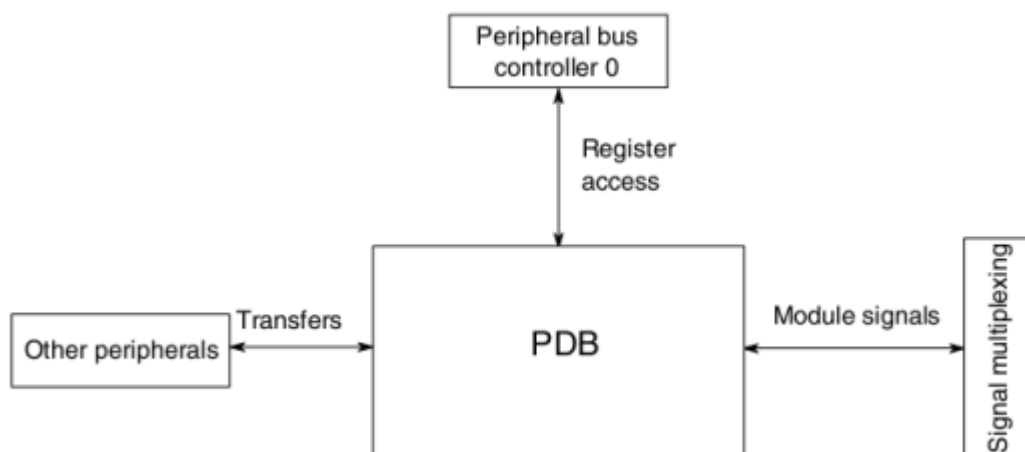


图 3-43 PDB 配置

表 3-51 相关信息参考链接

主题	相关模块	参考链接
全面介绍	PDB	PDB
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

### 3.8.1.1 PDB 说明

#### 3.8.1.1.1 PDB 触发信号输出

表 3-52 PDB 触发输出

PDB 触发 ADC 通道数	2
单次触发 PDB 通道数	2
DAC 触发通道数	2
脉冲触发通道数	1

#### 3.8.1.1.2 PDB 触发信号输入通道

表 3-53 PDB 触发信号输入配置

PDB 触发	PDB 触发输入通道
0000	外部触发
0001	模拟比较器 0
0010	模拟比较器 1
0011	模拟比较器 2
0100	PIT 通道 0 输出



0101	PIT 通道 1 输出
0110	PIT 通道 2 输出
0111	PIT 通道 3 输出
1000	FTM0 初始化和触发信号输出
1001	FTM1 初始化和触发信号输出
1010	FTM2 初始化和触发信号输出
1011	保留
1100	实时时钟报警
1101	实时时钟秒脉冲
1110	低功耗定时器输出
1111	软件触发

### 3.8.1.2 PDB 模块连接

PDB 触发输出	连接到
通道 0	ADCO 触发
通道 1	ADC1 触发和 FTM0 同步输入 1
DAC 触发	DACO 和 DAC1
脉冲触发	脉冲触发连接到每一个模拟比较器窗口 / 采样输入通道，来控制采样操作

### 3.8.1.3 紧接模式连接

在 MCU 中，PDB 的紧接模式实现如下：

- PDB 通道 0 单次触发 0 连接：ADC1SC1B\_COC0
- PDB 通道 0 单次触发 1 连接：ADC0SC1A\_COC0
- PDB 通道 1 单次触发 0 连接：ADC0SC1B\_COC0
- PDB 通道 1 单次触发 1 连接：ADC1SC1A\_COC0

所以连续触发连接成一个回环：

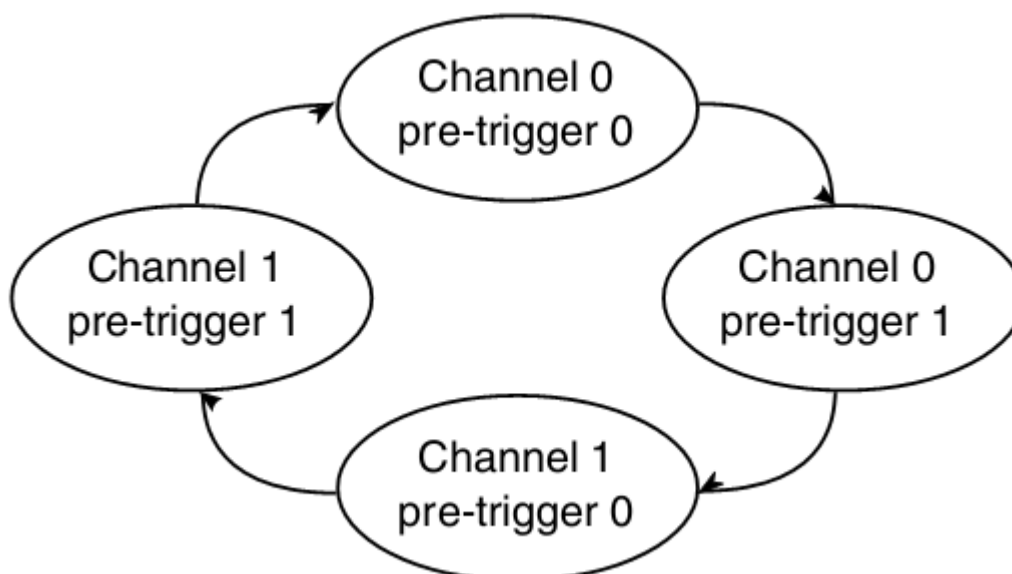


图 3-44 PDB 回环连接

应用程序可以设置 PDBx\_CHnCl[BB]位来实现单词或者连续触发。

### 3.8.1.4 PDB 间歇触发 DAC

在 MCU 中 PDB 间歇触发 DAC 实现如下：

- PDB 间歇触发 0 连接到 DAC0 的硬件触发输入
- PDB 间歇触发 1 连接到 DAC1 的硬件触发输入

### 3.8.1.5 PDB 外部触发输入连接

在 MCU 中两个 DAC 的外部触发输入实现如下：

- DAC 外部触发通道 0: ADC0SC1A\_COC0
- DAC 外部触发通道 1: ADC1SC1A\_COC0

#### 注意

应用软件可以设置 PDBx\_DACINTCn[EXT]位允许 DAC 外部触发输入  
当 ADC 转换完成标志位 ADCx\_SC1n[COC0]置位时。

### 3.8.1.6 脉冲输出连接

脉冲输出通道连接着所有的模拟比较器输入通道来作为采样。

### 3.8.1.7 脉冲输出时能寄存器使用

表 3-54 脉冲输出寄存器使能

寄存器	模块实现	芯片实现
POnEN	7:0 - POEN 31:8 - 保留	0 - POEN 31:1 - 保留

## 3.8.2 柔性定时器 (FlexTimer) 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

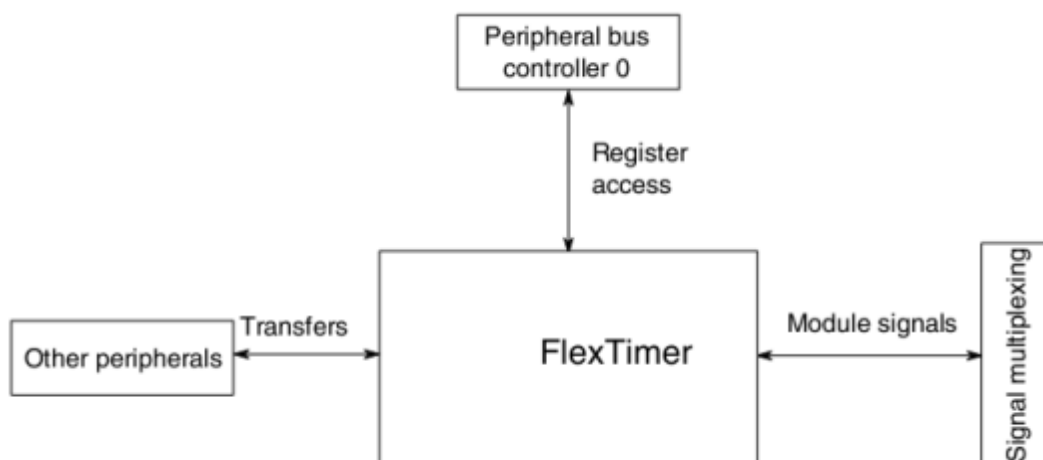


图 3-45 FlexTimer 配置

表 3-55 相关信息参考链接

主题	相关模块	参考链接
全面介绍	柔性定时器	FlexTimer
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

### 3.8.2.1 说明信息

器件连接着 3 个柔性定时器模块  
下表介绍如何配置

表 3-56 FTM 实例

FTM 实例	通道号	特点/使用
FTM0	8	3 相电机+ 2 通用步进电机
FTM1	2	正交解码器或通用
FTM2	2	正交解码器或通用

相比 FTM0 的配置，FTM1 和 FTM2 增加了正交编码的特性，但是减少了通道数。

### 3.8.2.2 外部时钟配置

默认的 FTM 模块使用内部的总线时钟，(FTM 是指他作为系统时钟) 每一个模块都有几个寄存器控制他使用外部的时钟输入。两个 FTM\_CLKINx 引脚可以通过 SIM 模块的 SOPT4 寄存器选择为时钟输入。

### 3.8.2.3 Fixed 的时钟频率

每一个 FTM 模块的时钟频率固定的是 MCGFFCLK。

### 3.8.2.4 FTM 中断

柔性定时器的中断信号是复用的，这些中断源或在一起作为单一的中断信号输入到中断控制器。当发生 FTM 中断时，读取 FTM 状态寄存器 (FMS, SC, 和 STATUS) 来确定具体的中断源。

### 3.8.2.5 FTM 故障检测输入

故障检测输入选项通过 SIM 模块的 SOPT4 寄存器来设置，默认的外部输入引脚是：

- FTM0 FAULT0 = FTM0\_FLT0 引脚或者 CMP0 输出
- FTM0 FAULT1 = FTM0\_FLT1 引脚或者 CMP1 输出
- FTM0 FAULT2 = FTM0\_FLT2 引脚或者 CMP2 输出
- FTM0 FAULT3 = FTM0\_FLT3 引脚
- FTM1 FAULT0 = FTM1\_FLT0 引脚或者 CMP0 输出
- FTM1 FAULT1 = CMP1 输出
- FTM1 FAULT2 = CMP2 输出
- FTM2 FAULT0 = FTM2\_FLT0 引脚或者 CMP0 输出
- FTM2 FAULT1 = CMP1 输出

- FTM2 FAULT2 = CMP2 输出

### 3.8.2.6 FTM 硬件触发

FTM 同步硬件触发连接如下：

- FTM0 硬件触发 0 = CMP0 输出
- FTM0 硬件触发 1 = PDB 通道 1 触发输出
- FTM0 硬件触发 2 = FTM0\_FLT0 引脚
- FTM1 硬件触发 0 = CMP0 输出
- FTM1 硬件触发 1 = CMP1 输出
- FTM1 硬件触发 2 = FTM1\_FLT0 引脚
- FTM2 硬件触发 0 = CMP0 输出
- FTM2 硬件触发 1 = CMP2 输出
- FTM2 硬件触发 2 = FTM2\_FLT0 引脚

### 3.8.2.7 FTM 输入捕捉

FTM0 的出入捕捉通道的信号源通过 SIM 模块的 SOPT4 寄存器选择，默认的设置如下：

- FTM1 通道 0 输入捕捉 = FTM1\_CH0 引脚或者 CMP0 输出或者 CMP1 输出
- FTM2 通道 0 输入捕捉 = FTM2\_CH0 引脚或者 CMP0 输出或者 CMP1 输出

### 3.8.2.8 FTM 输出触发其他模块

FTM 触发输出可以作为 ADC 或者 PDB 的触发输入，更多信息查看 PDB 和 ADC 的触发章节。

### 3.8.2.9 FTM 全局时基

该芯片提供了可选的 FTM 的全局时间基本特征，查看 Global Time Base (GTB) 章节获得更多信息。

FTM0 为 FTM 模块提供唯一的全局时钟，其他的模块公用时钟，如下图：

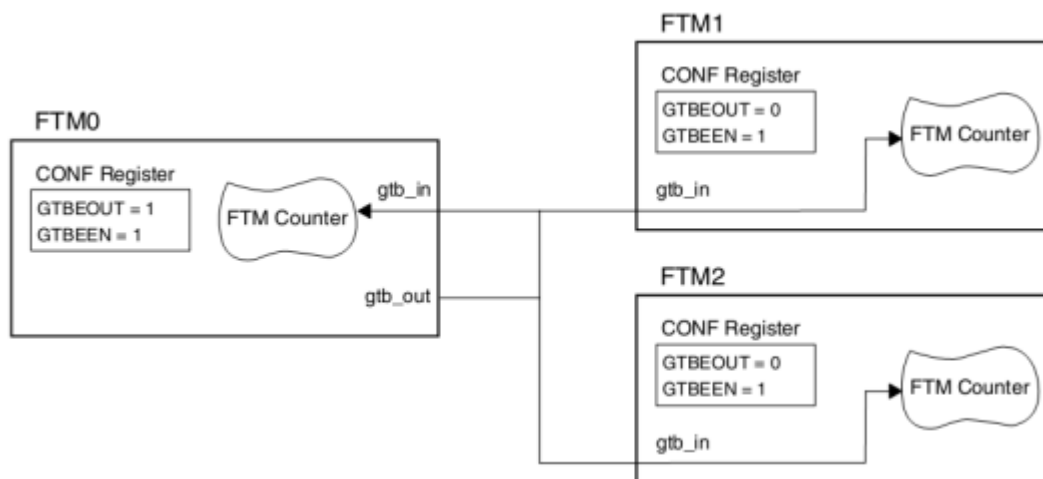


图 3-46 FTM 全局时钟

### 3.8.2.10 FTM BDM 和调试停止模式

在 FTM 章节，停止模式和 BDM 模式是相同的。

### 3.8.3 PIT 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

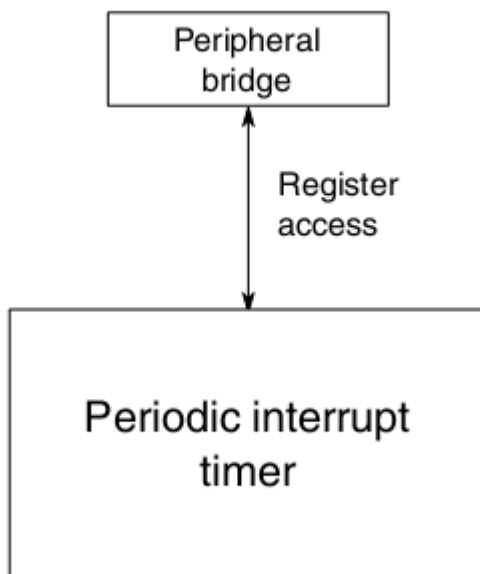


图 3-47 PIT 配置

表 3-57 相关信息参考链接

主题	相关模块	参考链接
全面介绍	PIT	PIT
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management

#### 3.8.3.1 PIT/DMA 周期触发分布

PIT 的周期触发连接到 DMA 的分布如下表

表 3-58 PIT 周期触发 DMA 通道

DMA 通道号	PIT 通道
DMA 通道 0	PIT 通道 0
DMA 通道 1	PIT 通道 1
DMA 通道 2	PIT 通道 2
DMA 通道 3	PIT 通道 3

#### 3.8.3.1 PIT/ADC 触发

通过 SIM 模块设置 SOPT7[ADCxTRGSEL]位可以为 ADC 通道选择一个 PIT 触发源。详细信  
息请查看 SIM 章节。

### 3.8.4 低功耗定时器配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

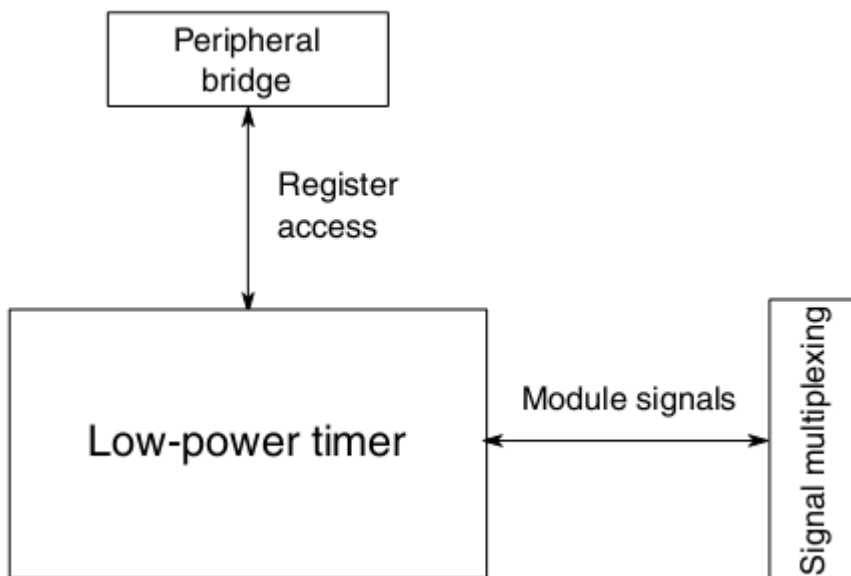


图 3-48 LPT 配置

表 3-59 相关信息参考链接

主题	相关模块	参考链接
全面介绍	低功耗定时器	Low-power timer
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

### 3.8.4.1 低功耗定时器预分频和毛刺滤波

低功耗定时器模块的预分频器和毛刺滤波的四个时钟源可以通过 LPTMR0\_PSR[PCS] 位设置。下表描述了时钟源的分布：

#### 注意

**要保证所选的时钟源时可用的，  
当需要定时器在低功耗模式下运行时。**

LPTMR0_PSR[PCS]	预分频和毛刺滤波时钟号	芯片时钟
00	0	LPTMR0_PSR[PCS]：内部参考时钟，VLPS/LLS/VLLS 模式下不可用
01	1	LPO — 1 kHz clock
10	2	ERCLK32K：第二个外部参考时钟
11	3	OSCERCLK：外部参考时钟

查看 Clock Distribution 章节获得更多信息。

### 3.8.4.2 低功耗定时器脉冲计数输入

寄存器 LPTMR\_CSR[TPS] 位控制着脉冲计数器的信号源，下表描述了配置选项

LPTMR_CSR[TPS]	脉冲计数输入号	芯片输入
00	0	模拟比较器 0 输出
01	1	低功耗定时器辅助引脚 1
10	2	低功耗定时器辅助引脚 2
11	3	保留

### 3.8.5 CMT 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

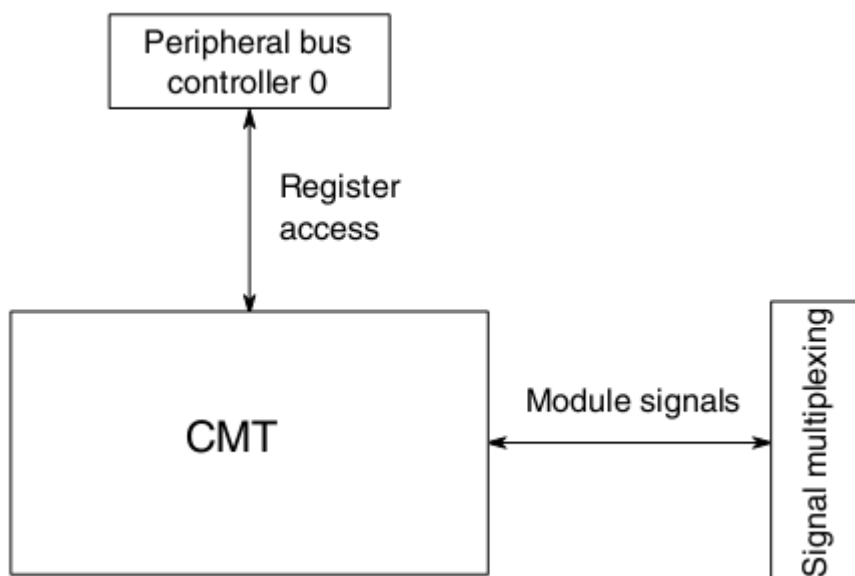


图 3-49 CMT 配置

表 3-60 相关信息参考链接

主题	相关模块	参考链接
全面介绍	载波调制定时器	CMT
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

#### 3.8.5.1 实例信息

器件连着这一个载波调制定时器模块。

#### 3.8.5.2 IRO 驱动能力

IRO 需要更高的驱动电流来驱动一个信号点。在器件中，引脚连接着 CMT\_IRO 信号以保证能驱动两个信号点。

在 SIM 模块的 SOPT2[CMTUARTPAD] 配置与 CMT\_IRO 引脚的连接，来获得更高的电流输出。

### 3.8.6 RTC 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

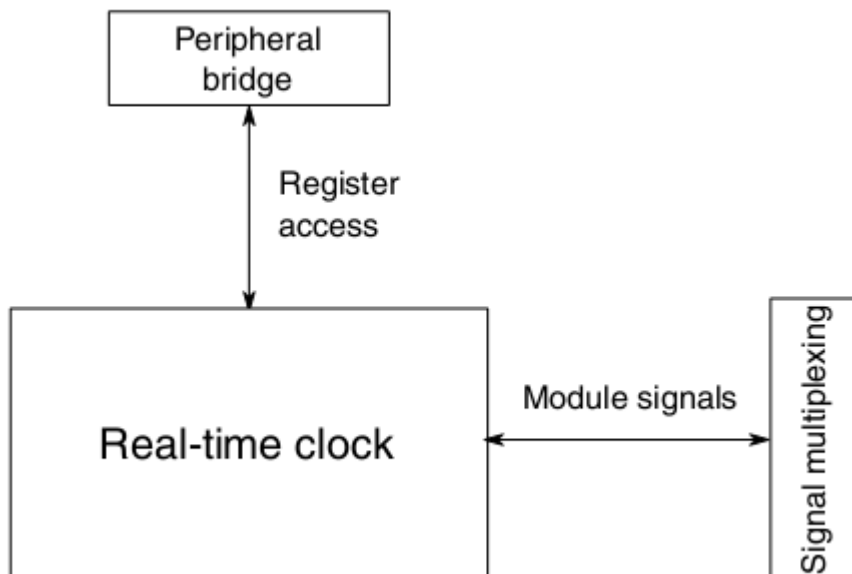


图 3-50 RTC 配置

表 3-61 相关信息参考链接

主题	相关模块	参考链接
全面介绍	实时时钟	rtc
系统存储映射		System memory map
时钟		Clock Distribution
电源管理		Power management
信号复用	引脚控制	Signal multiplexing

#### 3.8.6.1 RTC\_CLKOUT 信号

当实时时钟模块启用且引脚控制选择使用 RTC\_CLKOUT 功能时,RTC\_CLKOUT 引脚输出一个 1HZ 信号。

#### 3.8.6.2 RTC\_WAKEUP 信号

RTC\_WAKEUP 引脚在此器件中没有提供。

#### 3.8.6.3 RTC 秒中断

RTC 秒中断在器件中没有提供。

### 3.9 通信接口

#### 3.9.1 以太网配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。



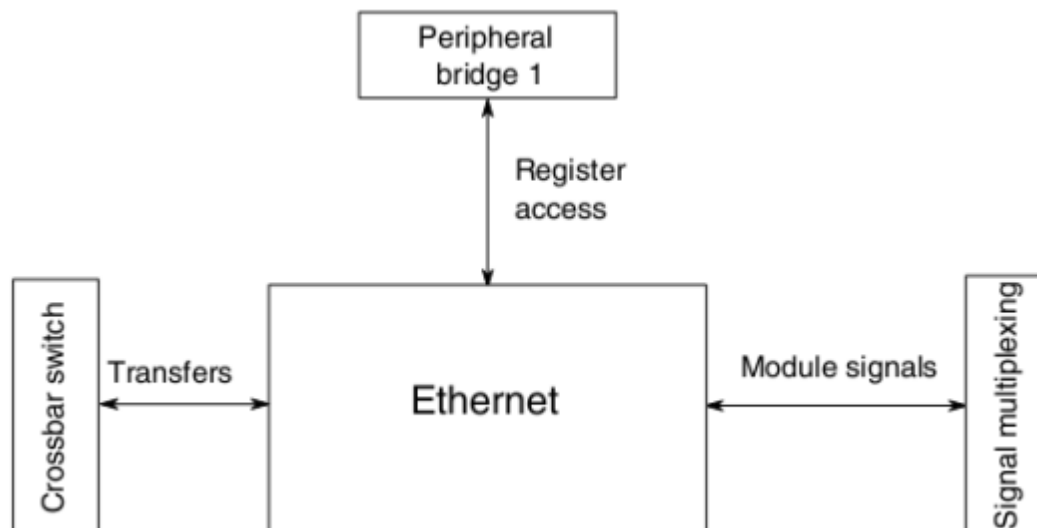


图 3-51 以太网配置

表 3-62 相关信息参考链接

主题	相关模块	参考链接
全面介绍	以太网	Ethernet
系统存储映射		System memory map
时钟		Clock Distribution
接口	交叉开关	Crossbar switch
信号复用	引脚控制	Signal multiplexing

### 3.9.1.1 以太网时钟选项

以太网模块使用一下的时钟源

- 器件的系统时钟连接着时钟模块在以太网的章节中有命名。在 100Mbps 运行时系统时钟的最小频率是 25M。
- 一个外部提供的 25MHz 的 MII 时钟或者是 50MHz 的 RMI I 时钟。这个时钟是用作外部 MII 或者 RMI I 接口。
- 一个定时器 IEEE 1588 用于时间戳。

更多信息请查看以太网时钟章节。

### 3.9.1.2 RMI I 时钟

在器件中 RMI I\_REF\_CLK 在内部连接到 EXTAL，查看时钟分布章节获得更多信息。

### 3.9.1.3 IEEE 1588 定时器

在以太网模块中包含四个定时器模块用于 IEEE 1588 的时间戳功能。定时器支持输入捕捉（上升沿，下降沿或者二者同时）输出比较（触发，或者脉冲极性可编程）。定时器可以进行等于或者大于比较（因为 IEEE 1588 有时钟跳过功能，所以有可能不会完全的匹配）。

计数器可以使用是个时钟源的其中一个与以太网时钟异步。查看以太网时钟章节获得更多信息。

### 3.9.1.4 以太网在低功耗模式下的操作

以太网模块在任何低功耗模式下都不能完全使用。如果使能的话，以太网可以检测一个魔法唤醒包将 CPU 从停止模式下唤醒。

在低功耗模式下的操作：

- MAC 发送模块是禁止的
- 核心的发送/接收 FIFO 是禁止的
- MAC 接受是正常模式，但是他不会接受除了魔法唤醒包之外的任何包。

魔法包的检测是使用 MII 或者 RMII 时钟，这允许停止模式下的唤醒功能。在 VLPx 模式中以太网模块和魔法包唤醒功能是不可用的。

#### 3.9.1.4.1 IEEE 1588 定时器在低功耗模式下的操作

在低功耗模式下只要是相应的时钟源开启了计数器和定时器都是可以操作。

在低功耗模式下只要是相应的时钟源开启了，定时器通道在退出低功耗模式时会产生一个中断。

### 3.9.1.5 以太网睡眠模式

以太网模块的睡眠模式与 wait 和 VLPW 模式下是相同的。

### 3.9.1.6 以太网中断

以太网有多个中断源，当然这些中断源有一些是或在一起的，下表概述：

中断请求	中断源
IEEE 1588 定时器中断	IEEE 1588 定时器中断 可用的时间戳
发送中断	发送帧中断 发送缓冲器中断
接收中断	接收帧中断 接收缓冲器中断
错误或者其他中断	唤醒 收到载荷错误 接收错误中断 发送错误中断 <b>完成中断</b> MII 中断，数据发送完成 以太网总线错误 碰撞 碰撞尝试限制

### 3.9.1.7 以太网事件信号

器件没有事件输出功能，同样 ATCR[PINPER] 寄存器也没有提供。

## 3.9.2 通用串行总线（USB）子系统

USB 子系统由以下组成

- 多功能的 USB OTG 支持全速设备和全速低速主机。符合 USB2.0 规范。
- 主机功能模式下 D+和 D-信号线提供 15K 下拉电阻。
- 一个 3.3 V 调压器
- USB 充电检测
- VBUS 信号检测：VBUS 信号检测功能，一个引脚可以在任何电源模式下唤醒器件。

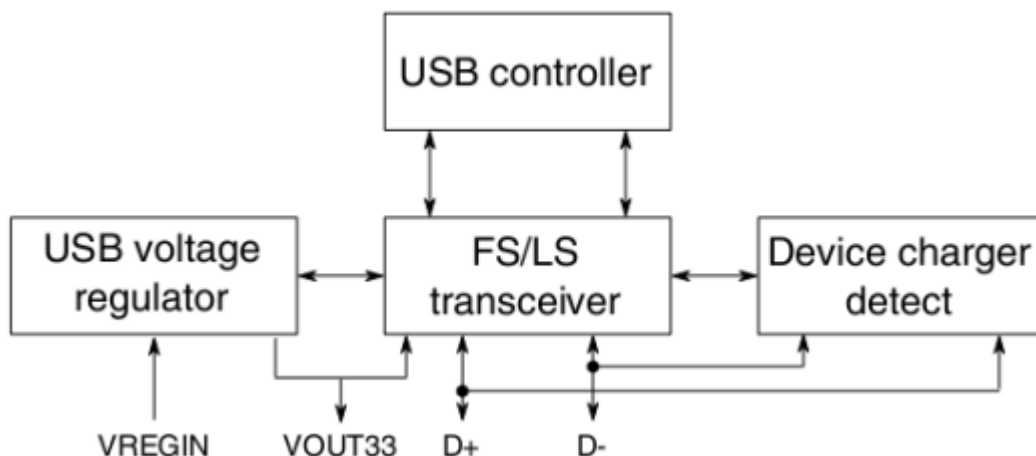


图 3-52 USB 子系统概览

### 3.9.2.1 USB 唤醒

如果 USB 检测到超过 3ms 总线上没有任何活动，INT\_STAT[SLEEP] 位会被置位。这可以产生一个中断，由软件决定下一步操作。通过 USB 总线上的一个异步活动可以将系统从低功耗模式下唤醒（LLS/VLLS 除外，因为此时 USB 没有供电）。置位 USBTRCO[USBRESMEN] 来启用此功能。

### 3.9.2.2 USB 电源分配

芯片包括一个 5 V 到 3.3 V 的稳压器，来为 USB 或者 MCU 供电（根据不同的应用）。

#### 3.9.2.2.1 AA/AAA 供电

芯片可以使用两节 AA/AAA 供电。在这种情况下 MCU 是通过 VDD 在 1.8 到 3.0 V 的电压范围内供电的。当检测到 USB 电缆插入后，USB 调压器开始工作，位 USB 收发器供电。

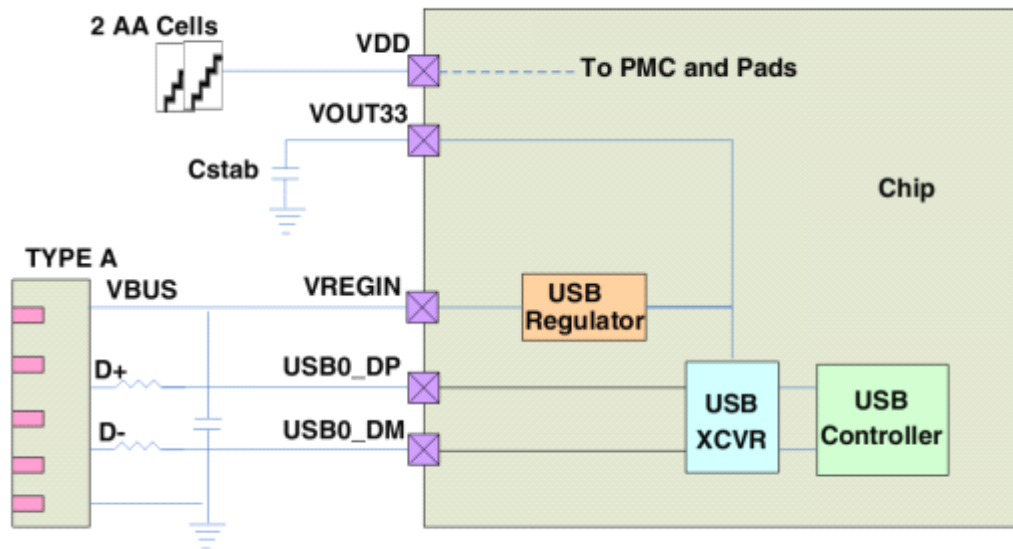


图 3-53 使用 AA 电池时 USB 调压器

### 3.9.2.2.2 锂离子电池供电

系统也可使用锂离子电池供电。在这种情况下 VOUT33 连接到 VDD。**USB 调压器必须是默认向 MCU 供电的。**当连接到一个主机时，USB 调压器转向对锂离子电池充电。当向电池充电时，MCU 可以根据充电检测信息配置充电器。

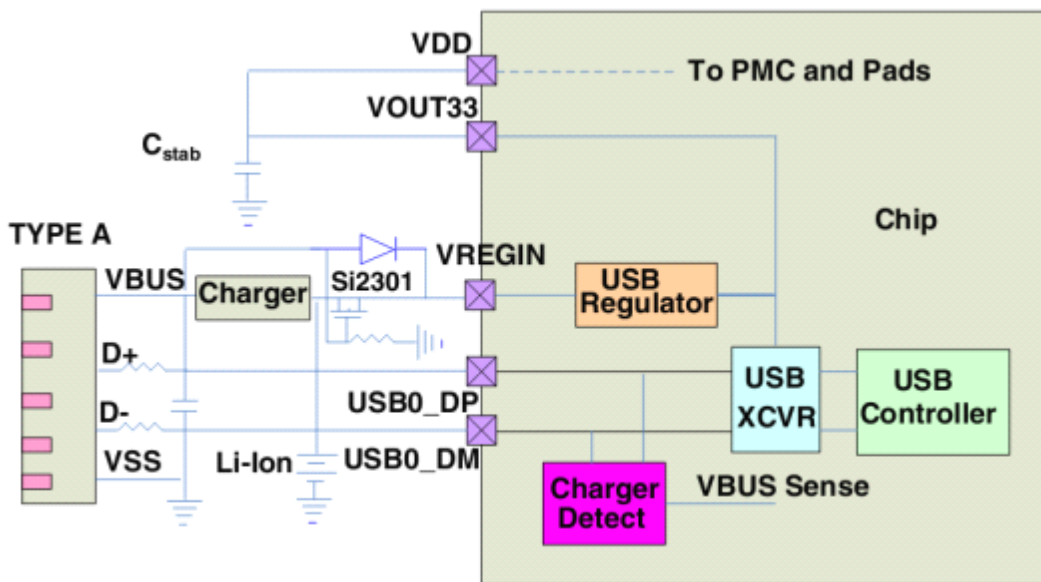


图 3-54 锂离子供电时 USB 调压器

### 3.9.2.2.3 USB 总线供电

芯片也可以使用 USB 总线供电。在这种情况下 VOUT33 连接到 VDD。**USB 调压器必须是默认向 MCU 供电的。**然后向 USB 收发器或外部传感器供电。

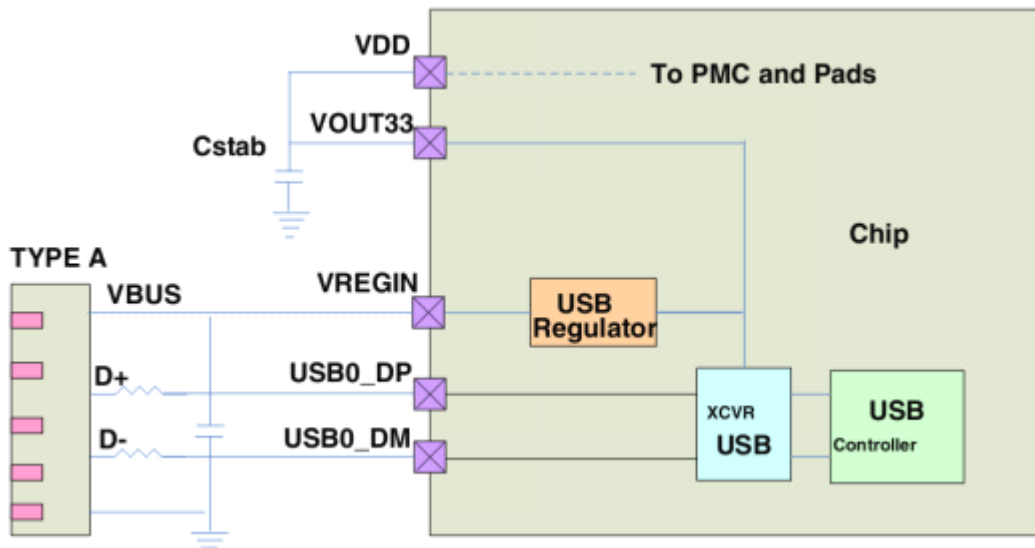


图 3-55 USB 总线供电时 USB 调压器

### 3.9.2.3 USB 电源管理

调压器应该被设置成 STANDBY 模式，当芯片进入停止模式时，可以通过 SIM\_SOPT1[USBSTBY] 位设置。

### 3.9.2.4 USB 控制器配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

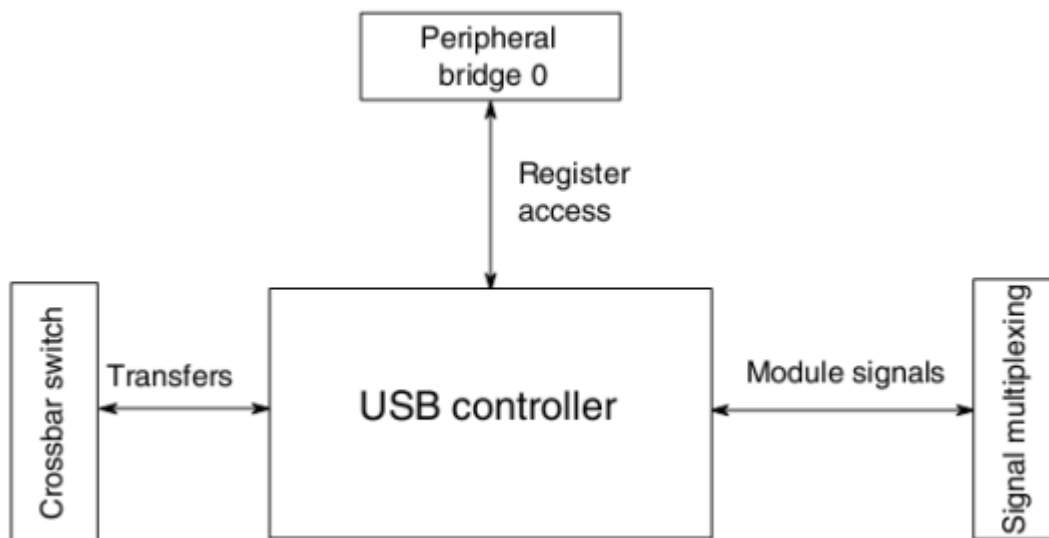


图 3-56 USB 控制器配置

表 3-63 相关信息参考链接

主题	相关模块	参考链接
全面介绍	USB 控制器	USB controller
系统存储映射		System memory map

时钟		Clock Distribution
接口	交叉开关	Crossbar switch
信号复用	引脚控制	Signal multiplexing

**注意**

当USB没有使用时，推荐将VREGIN和VOUT33引脚悬空。

**3.9.2.5 USB DCD 配置**

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

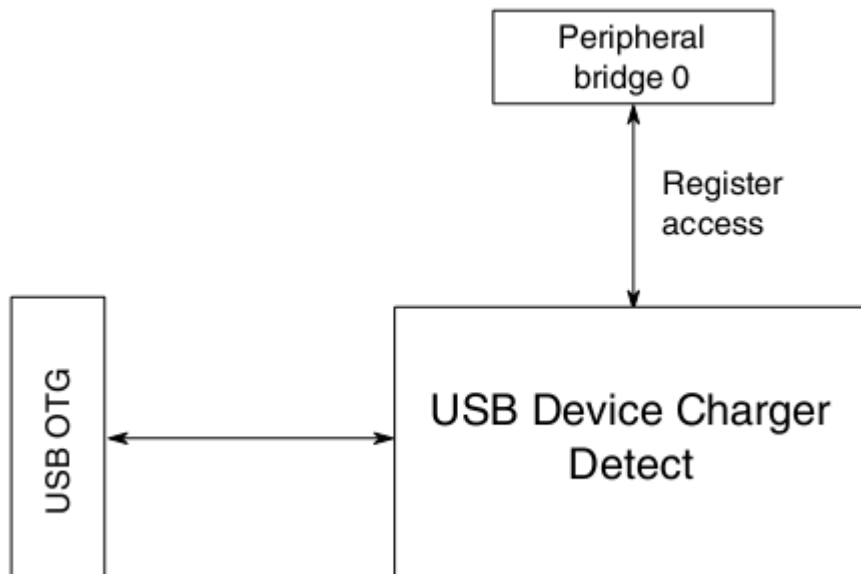


图 3-57 USBDCD 配置

表 3-64 相关信息参考链接

主题	相关模块	参考链接
全面介绍	USB DCD	USB DCD
系统存储映射		System memory map
时钟		Clock Distribution
	USB 控制器	USB controller

**3.9.2.6 USB 调压器配置**

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

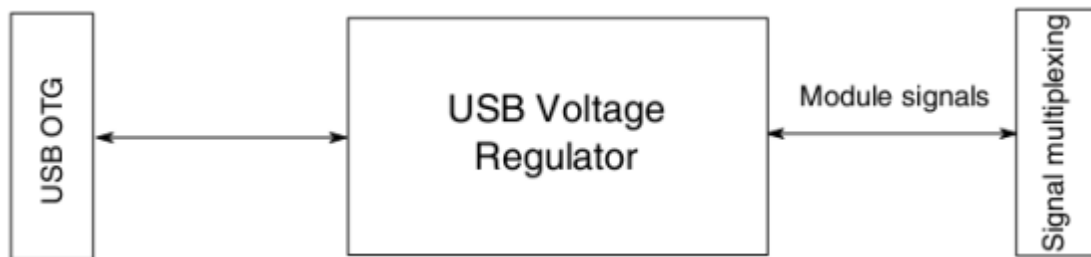


图 3-58 USBDCD 配置

表 3-65 相关信息参考链接

主题	相关模块	参考链接
全面介绍	USB 调压器	USB Voltage Regulator
系统存储映射		System memory map
时钟		Clock Distribution
	USB 控制器	USB controller
信号复用	引脚控制	Signal multiplexing

**注意**

当USB没有使用时，推荐将VREGIN和VOUT33引脚悬空。

**3.9.3 CAN 配置**

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

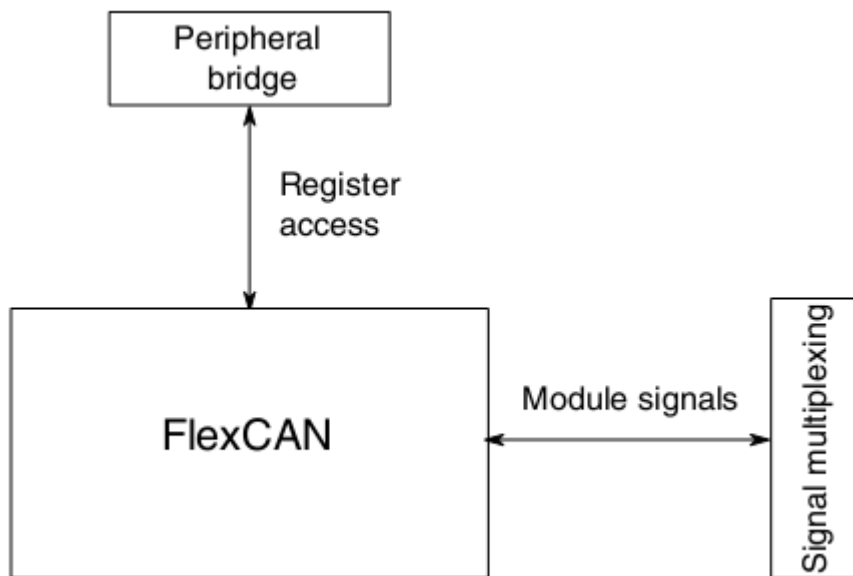


图 3-59 CAN 配置

表 3-66 相关信息参考链接

主题	相关模块	参考链接
全面介绍	CAN	CAN
系统存储映射		System memory map
时钟		Clock Distribution

电源管理		Power management
信号复用	引脚控制	Signal multiplexing

### 3.9.3.1 FlexCAN 模块的数量

器件包括两个 FlexCAN 模块。

### 3.9.3.2 MDIS 位的复位值

CAN\_MCR[MDIS] 在复位后是被置位的。FlexCAN 禁用。

### 3.9.3.3 消息缓冲区的数量

每一个 FlexCAN 模块包含 16 个消息缓冲区，每个消息缓冲区包含 16 个字节。

### 3.9.3.4 FlexCAN 时钟

#### 3.9.3.4.1 时钟选项

寄存器 CANCTRL[CLK\_SRC] 位来选择使用总线时钟或者外部输入时钟 EXTAL。

#### 3.9.3.4.2 时钟门控

寄存器 SCGCn[CANx] 位可以选择打开或者关闭每一个 CAN 模块的时钟。这些位在任何复位后都会被清空，同时禁用相应模块的时钟。时钟选择位必须使用软件设置，然后再初始化 CAN 的其他寄存器。

### 3.9.3.5 CAN 中断

CAN 模块包括多个中断。当然，有一些中断是或在一起的。下表描述了中断请求对应的中断源：

中断请求	中断源
消息缓冲	消息缓冲 0-15
总线关闭	总线关闭
错误	Bit1 错误 Bit0 错误 <b>未知错误</b> CRC 错误 帧错误 填充错误 发送错误警告 接收错误警告
发送警告	发送警告
接收警告	接收警告
唤醒	唤醒

### 3.9.3.6 低功耗模式下 CAN 的操作

在 VLPR 和 VLPW 模式下 CAN 是可操作的。在 2M 的总线频率下，CAN 的发送速率可以达到



256Kbps。在新的频率下位定时参数必须要重新配置，但是完整的功能时可用的。  
在 STOP 和 VLPS 模式下 CAN 可以配置成一个唤醒中断。当 CAN 配置为唤醒中断，一个隐性电平可以产生一个唤醒中断。

### 3.9.3.7 CAN 的睡眠模式

CAN 的睡眠模式和芯片的 Wait 和 VLPW 模式是相同的。

### 3.9.4 SPI 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

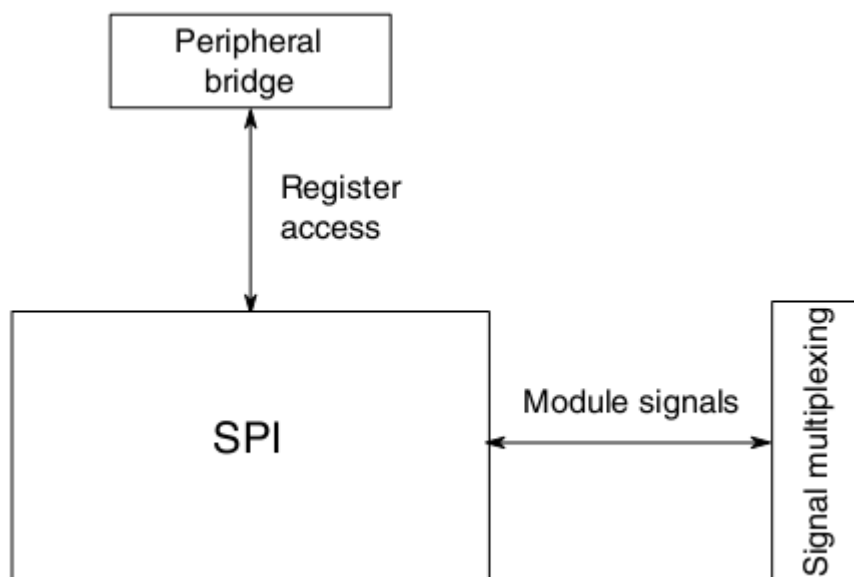


图 3-60 SPI 配置

表 3-67 相关信息参考链接

主题	相关模块	参考链接
全面介绍	SPI	SPI
系统存储映射		System memory map
时钟		Clock Distribution
信号复用	引脚控制	Signal multiplexing

#### 3.9.4.1 SPI 模块配置

器件包含 3 个 SPI 模块

#### 3.9.4.2 SPI 时钟

SPI 模块使用内部时钟作为参考时钟。模块内部有一个预分频器，最小的分频因子是 2，所以，模块的最大时钟是总线时钟/2。

#### 3.9.4.3 CTAR 的数量

SPI CTAR 定义不同的传输特性。SPI 模块提供高达 8 个 CTAR 寄存器。器件位所有的模块提供两个 CTAR 寄存器。

在主机模式下，CTAR 寄存器定义相应的传输特性。比如帧大小，时钟相位，时钟极性，数据位顺序，波特率和各种延迟。在从机模式下只有 CTAR0 是使用的，用来设置传输属性。

### 3.9.4.4 发送缓冲大小

表 3-68 SPI 缓冲区大小

SPI 模块	缓冲区大小
SPI0	4
SPI1	4
SPI2	4

### 3.9.4.5 接收缓冲大小

SPI 接收时提供高达 16 位的缓冲区

表 3-69 SPI 缓冲区大小

SPI 模块	缓冲区大小
SPI0	4
SPI1	4
SPI2	4

### 3.9.4.6 PCS 信号编号

下表提供了每个模块的片选信号

表 3-70 SPI 片选信号

SPI 模块	片选信号
SPI0	SPI_PCS[5:0]
SPI1	SPI_PCS[3:0]
SPI2	SPI_PCS[1:0]

### 3.9.4.7 SPI 在低功耗模式下的操作

在 VLPR 和 VLPW 模式下 SPI 模块是可用的。然而，降低了系统频率也就降低了 SPI 的最大频率。在 VLPR 和 VLPW 模式下 SPI 的最大频率是 1M。

在 stop 和 VLPS 模式下 SPI 的时钟是禁用的。所以他也是不可用的，但仍然会保持供电。

只有一个办法通过 SPI 唤醒系统，在下面有介绍。

#### 3.9.4.7.1 通过 GPIO 中断从停止模式唤醒系统

下面几步说明在从机模式下如何通过 SPI 的数据接口创建一个接收唤醒。

- 1) 将 GPIO 的中断指向一个想要饿中断服务。
- 2) 开启 GPIO 上升沿或下降沿中断（根据芯片的片选信号极性）。
- 3) 进入 Stop 或者 VLPS 模式，等待中断的发生。

**注意**

这种方法很可能导致 SPI 的第一个数据不能够完整的接收  
这取决于发送的波特率，芯片片选和数据之间的延时  
以及系统响应中断的速度。

### 3.9.4.8 SPI 的睡眠模式

SPI 的睡眠模式和芯片的 Wait 和 VLPW 模式是相同的。

### 3.9.4.9 SPI 中断

SPI 模块包括多个中断，然而这些中断是或在一起向中断控制器发送中断请求。当一个 SPI 中断发生时读取 SPI\_SR 寄存器判断响应的中断。

### 3.9.4.10 SPI 时钟

下表描述了 SPI 时钟和相对应的芯片时钟

表 3-71 SPI 时钟连接

模块时钟	芯片时钟
系统时钟	总线时钟

### 3.9.5 IIC 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

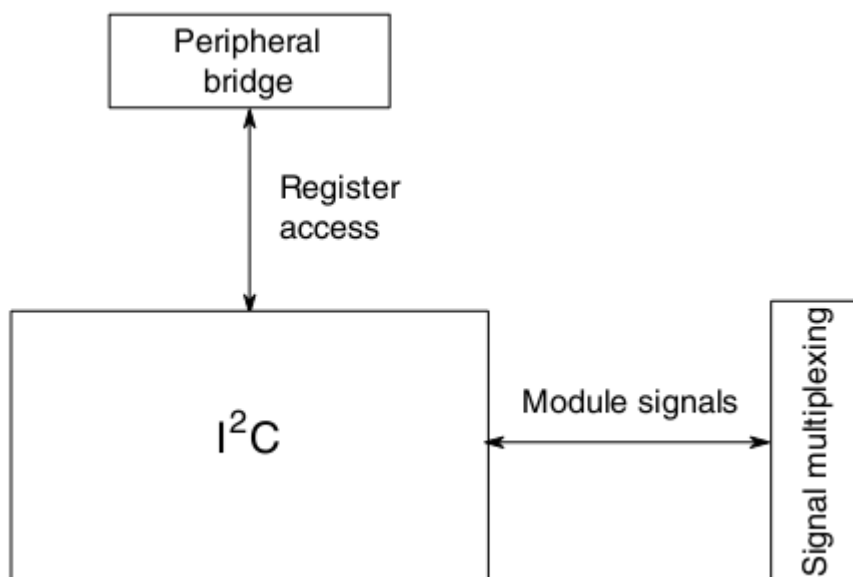


图 3-61 IIC 配置

表 3-72 相关信息参考链接

主题	相关模块	参考链接
全面介绍	IIC	IIC
系统存储映射		System memory map
时钟		Clock Distribution

信号复用

引脚控制

Signal multiplexing

### 3.9.5.1 IIC 模块数量

器件包含两个 IIC 模块

### 3.9.6 UART 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

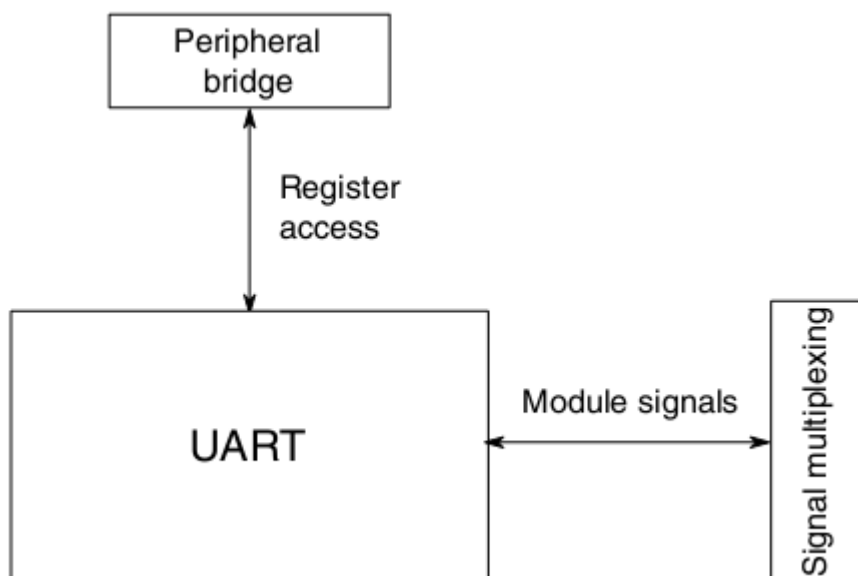


图 3-62 UART 配置

表 3-73 相关信息参考链接

主题	相关模块	参考链接
全面介绍	UART	UART
系统存储映射		System memory map
时钟		Clock Distribution
信号复用	引脚控制	Signal multiplexing

#### 3.9.6.1 UART 配置信息

器件连接着 6 个 UART 模块，下面的章节叙述如何配置各个模块。

1) 所有模块的标准功能

RS485 支持

硬件流控制

9 位带 MARK 的数据

MSB/LSB 配置

2) UART0 和 UART1 使用核心时钟, 其他的串口使用总线时钟。最大的波特率是时钟源的 1/16。

3) 所有的串口都支持 IrDA

4) 串口 0 支持 ISO7816

5) 所有的串口支持 AMRIO 中断和控制器支持所有 IO 漏极开路。

- 6) UART0 和 UART1 具有 8 条接收和发送缓冲区。  
7) 所有其他的串口均包含一个接收和发送缓冲。

### 3.9.6.2 UART 唤醒

串口可以配置成中断和唤醒在第一个有效的接收跳变沿时。

### 3.9.6.3 UART 中断

串口包含多个中断源，然而部分中断源是或在一起向中断控制器发送中断请求。参阅下表查看中断映射：

状态中断：

中断源	串口 0	串口 1	串口 2	串口 3	串口 4	串口 5
发送缓冲区空	x	x	x	x	x	x
发送完成	x	x	x	x	x	x
总线空闲	x	x	x	x	x	x
接收缓冲区满	x	x	x	x	x	x
LIN 退出检测	x	x	x	x	x	x
接收引脚有效跳变沿	x	x	x	x	x	x
初始字符检测	x	-	-	-	-	-

错误中断：

中断源	串口 0	串口 1	串口 2	串口 3	串口 4	串口 5
接收器溢出	x	x	x	x	x	x
噪声标志	x	x	x	x	x	x
帧错误	x	x	x	x	x	x
奇偶校验错误	x	x	x	x	x	x
发送缓冲溢出	x	x	x	x	x	x
接收缓冲溢出	x	x	x	x	x	x
发送起始 (IS07816)	x	-	-	-	-	-
接收起始 (IS07816)	x	-	-	-	-	-
等待定时器 (IS07816)	x	-	-	-	-	-
字符等待 (IS07816)	x	-	-	-	-	-
块等待 (IS07816)	x	-	-	-	-	-
保护超时 (IS07816)	x	-	-	-	-	-

### 3.9.7 SDHC 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

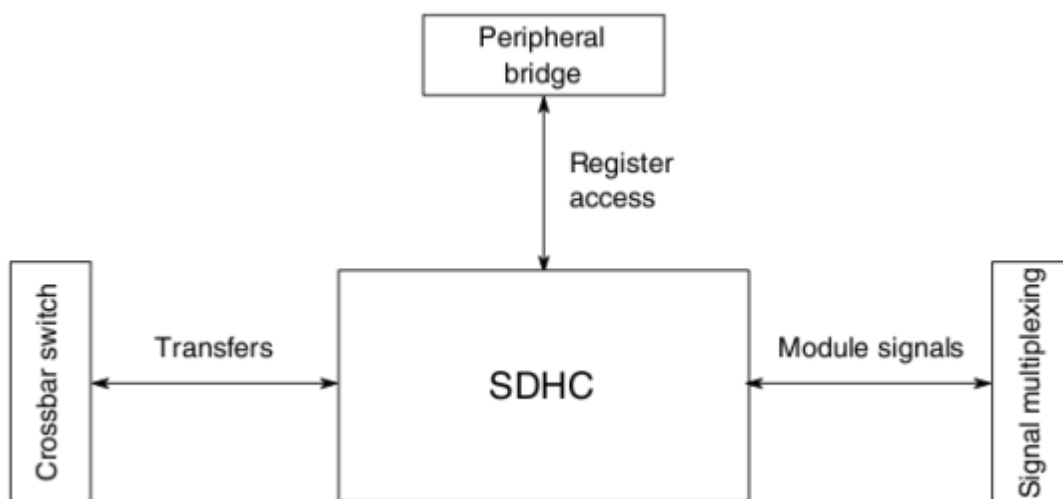


图 3-63 SDHC 配置

表 3-74 相关信息参考链接

主题	相关模块	参考链接
全面介绍	SDHC	SDHC
系统存储映射		System memory map
时钟		Clock Distribution
信号复用	引脚控制	Signal multiplexing

### 3.9.7.1 SDHC 时钟

除了系统时钟，SDHC 还需要为外部 SD 卡提供一个时基。在这里有四个时钟源可选。通过 SIM 模块的 SOPT2 寄存器。

- 核心系统时钟
- MCGPLLCLK 或者 MCGFLLCLK
- EXTAL
- 直接使用片外时钟 (SDHC0\_CLKIN)

### 3.9.7.2 SDHC 上下拉限制

SD 卡规范要求除去时钟信号线以外其他的信号线在数据传输是都要进行上拉。SDHC 也提供了一个通过检测的 DAT[3]SD 总线电压水平的变化来检测卡插入/删除的功能。为了支持这个功能的 DAT [3]必须被拉低。为了避免在正常传输数据时检测卡插入/删除，必须要再检测事件口禁止相关的中断。相应的中断可以被开启当卡被移除之后。

### 3.9.8 IIS 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

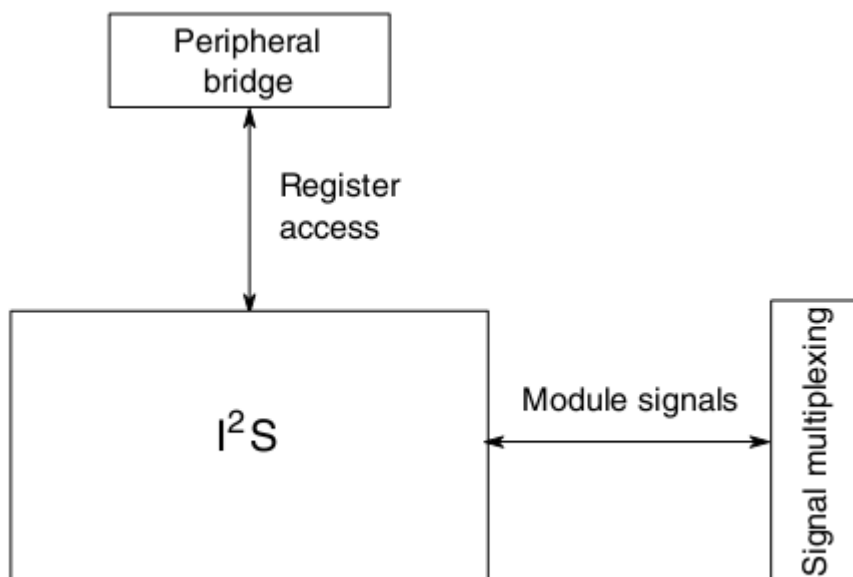


图 3-64 IIS 配置

表 3-75 相关信息参考链接

主题	相关模块	参考链接
全面介绍	IIS	IIS
系统存储映射		System memory map
时钟		Clock Distribution
信号复用	引脚控制	Signal multiplexing

**注意**

IIS 的主时钟可以在 I2S0\_MCLK 因叫上输出或者 在 I2S0\_CLKIN 引脚上输入。  
使用 I2S0\_RX\_BCLK 引脚输出主时钟信号，当器件不支持同步时。

**3.9.8.1 中断**

IIS 模块的中断信号是或在一起向中断控制器发送中断请求的。

**3.9.8.2 DMA 请求**

IIS 模块使用两个 DMA 请求

- 发送缓冲
- 接收缓冲

**3.9.8.3 IIS 时钟发生**

下面介绍了 IIS 时钟发生的多个选项

- 核心/系统时钟被 8 位分频来提供 IIS 时钟
- 锁相环时钟被 8 位分频来提供 IIS 时钟
- 外部时钟输入直接驱动 IIS
- I2S0\_CLKIN 引脚直接驱动

这些选项被 SIM\_SOPT2[I2SSRC]控制着，8 位的分频由 SIM\_CLKDIV2[I2SDIV, I2SFRAC]控制，查看 SIM 章节获得更多信息。

### 3.9.8.4 IIS 在低功耗模式下操作

IIS 需要和其他的系统交互用来传输数据。如果系统中其他的模块在停止 VLPS 和 LLS 模式没有工作的话，IIS 也是没有作用的，因为还保持着供电，所致会被保持但不会起作用。在 VLPRVLPW 模式下 IIS 是起作用的，但是最高的频率不能超过 400KHZ。

## 3.10 人机界面接口

### 3.10.1 IO 口配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。

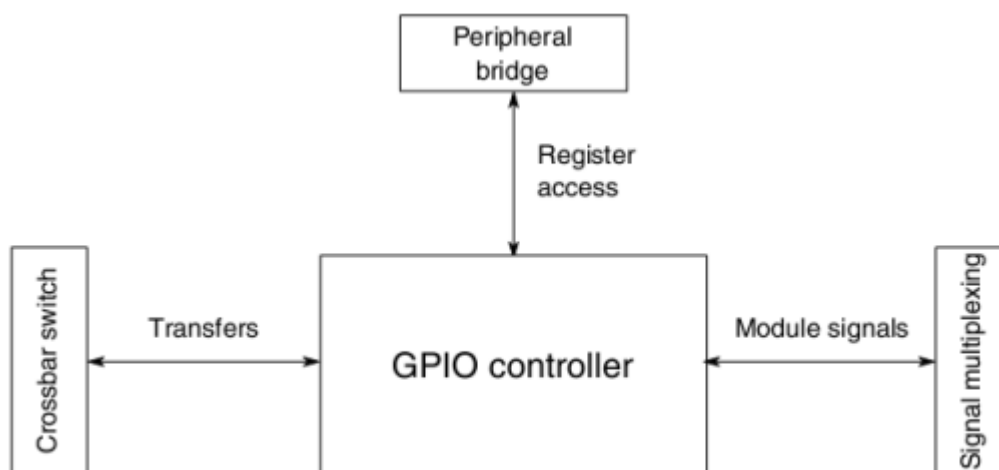


图 3-65GPIO 配置

表 3-76 相关信息参考链接

主题	相关模块	参考链接
全面介绍	GPIO	GPIO
系统存储映射		System memory map
时钟		Clock Distribution
信号复用	引脚控制	Signal multiplexing

#### 3.10.1.1 GPIO 访问保护

GPIO 没有访问保护，因为他没有连接在专用外设总线上也没有受到存储保护单元的保护。

#### 3.10.1.2 GPIO 信号数量

查看零件的订购信息获得更多内容。

### 3.10.2 TSI 配置

本节概述如何配置芯片中的相应模块。具体的信息请参阅相应的章节。



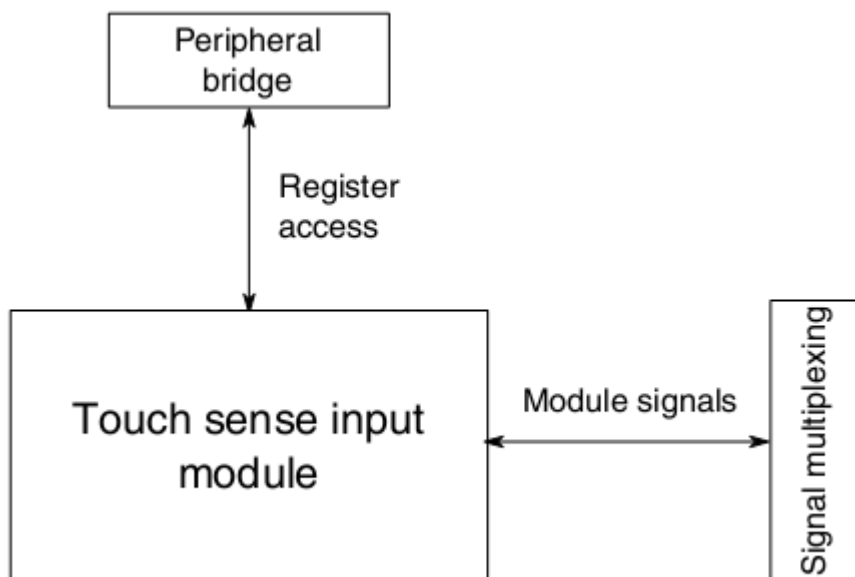


图 3-66 TSI 配置

表 3-77 相关信息参考链接

主题	相关模块	参考链接
全面介绍	TSI	TSI
系统存储映射		System memory map
时钟		Clock Distribution
信号复用	引脚控制	Signal multiplexing

### 3.10.2.1 输入数量

该器件包括一个 TSI 的模块包含 16 个输入。在低功耗模式可选引脚是可用的。

### 3.10.2.2 TSI 在不同的 MCU 模式下的功能

表 3-78 TSI 在不同 MCU 模式下的操作

MCU 操作模式	TSI 时钟源	GENCS[TSIEN] 为 1 时 TSI 操作模式	可用引脚	必需的 GENCS[STPE] 状态
Run	BUSCLK, MCGIRCLK, OSCERCLK	使能模式	所有	无关
Wait	BUSCLK, MCGIRCLK, OSCERCLK	使能模式	所有	无关
Stop	MCGIRCLK, OSCERCLK	使能模式	所有	1
VLPR	BUSCLK, MCGIRCLK, OSCERCLK	使能模式	所有	无关
VLPW	BUSCLK, MCGIRCLK,	使能模式	所有	无关

	OSCERCLK			
VLPS	OSCERCLK	使能模式	所有	1
LLS	LPOCLK, VLPOSCCLK	低功耗模式	PEN[LPSP] 决定	1
VLLS3	LPOCLK, VLPOSCCLK	低功耗模式	PEN[LPSP] 决定	1
VLLS2	LPOCLK, VLPOSCCLK	低功耗模式	PEN[LPSP] 决定	1
VLLS1	LPOCLK, VLPOSCCLK	低功耗模式	PEN[LPSP] 决定	1

### 3.10.2.3 TSI 时钟源

下表描述了 TSI 时钟源和相对应的芯片时钟

表 3-79 TSI 时钟连接

模块时钟	芯片时钟
BUSCLK	BUSCLK
MCGIRCLK	MCGIRCLK
OSCERCLK	OSCERCLK
LPOCLK	1 kHz LPO clock
VLPOSCCLK	ERCLK32K

### 3.10.2.4 TSI 中断

TSI 模块包含多个中断，然而这些中断是或在一起向中断控制器发送中断请求。当 TSI 中断发生时查看 TSI 状态寄存器确定相应中断源。

### 3.10.2.5 保护驱动信号

器件并没有提供保护驱动信号。在 TSI 章节忽略此信息。

作者 : 默\_li  
源文件名称 : K60P144M100SF2RM.pdf  
源文件版本 : K60 Sub-Family Reference Manual, Rev. 6, Nov 2011  
目标文件版本 : 0.1  
最后编辑日期 : 2012.04.30.20.40  
修改说明 : 初稿, 本人水平有限, 红色部分是在是没能直接翻译出来  
有问题可以 Email: soonli@qq.com

**敬告 : 本文档仅供参考, 所有信息以原文档为准。可随意复制传播, 修改其中内容请通知作者! 未经作者允许, 不准将本文档的部分或者全部内容用于任何商业有关的用途! 英文原版版权归飞思卡尔所有, 本文本作者保留所有权利。**