

DDS 器件产生高质量波形： 简单、高效而灵活

作者：Brendan Cronin

摘要

直接数字频率合成(DDS)技术用于产生和调节高质量波形，广泛用于医学、工业、仪器仪表、通信、国防等众多领域。本文将简要介绍该技术，说明其优势和不足，考察一些应用示例，同时介绍一些有助于该技术推广的新产品。

简介

许多行业中一个关键的需求是精确产生、轻松操作并快速更改不同频率、不同类型的波形。无论是宽带收发器要求具有低相位噪声和出色的无杂散动态性能的捷变频率源，还是工业测量和控制系统需要稳定的频率激励，快速、轻松、经济地产生可调波形并同时维持相位连续性的能力都是至关重要的一项设计标准，而这正是直接数字频率合成技术的优势所在。

频率合成的任务

不断增多的频谱拥堵，加上对功耗更低、质量更高的测量设备的永无止境的需求，这些因素都要求使用新的频率范围，要求更好地利用现有频率范围。结果，人们寻求对频率产生进行更好的控制，多数情况下，均是借助于频率合成器。这些器件利用一个给定频率 f_C 来产生一个相关的目标频率(和相位) f_{OUT} 。其一般关系可以简单地表示为：

$$f_{OUT} = \epsilon_x \times f_C$$

其中，比例因子 ϵ_x 有时也被称为归一化频率。

该等式通常利用实数逐步逼近的算法实现。当比例因子为有理数时，两个相对质数(输出频率和基准频率)之比将谐波相关。但在多数情况下， ϵ_x 可能属于更广泛的实数集，逼近过程一旦处于可接受的范围之内即会被截断。

直接数字频率合成

频率合成器的一种实用型实现方式是直接数字频率合成(DDFS)，通常简称为直接数字合成(DDS)。这种技术利用数字数据处理来产生一个频率和相位可调的输出，该输出与一个固定的频率参考或时钟源(f_C)相关。在 DDS 架构中，参考或系统时钟频率由一个比例因子分频来产生所需频率，该比例因子由二进制调谐字可编程控制。

简言之，直接数字频率合成器将一串时钟脉冲转换成一个模拟波形，通常为一个正弦波、三角波或方波。如图 1 所示，其主要部分为：相位累加器(产生输出波形相位角度的数据)，相数转换器(将上述相位数据转换为瞬时输出幅度数据)，以及数模转换器(DAC)(将该幅度数据转换成采样模拟数据点)。

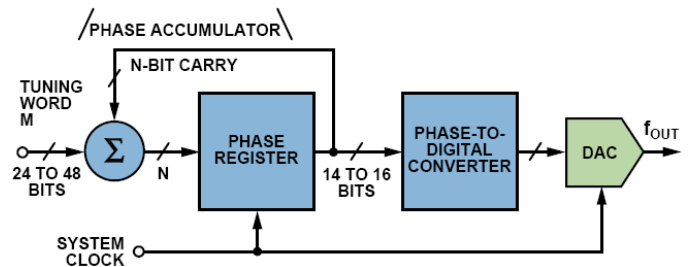


图 1. DDS 系统的功能框图。

对于正弦波输出，相数转换器通常为一个正弦查找表(图 2)。相位累加器以 N 为单位计数，并根据以下等式产生一个相对于 f_C 的频率：

$$f_{OUT} = \frac{N}{2^M} f_C$$

其中：

M 为调谐字的分辨率 (24 至 48 位)。

N 为对应于相位累加器输出字最小增量相位变化的 f_C 的脉冲数。

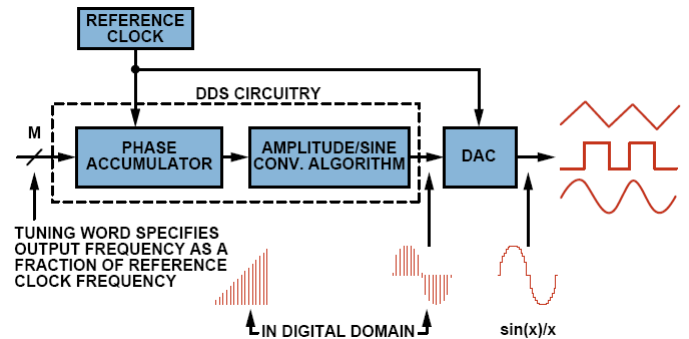


图 2. 典型的 DDS 架构和信号路径 (带 DAC)。

由于更改 N 会立即改变输出相位和频率，因此，系统自身具有相位连续特点，这是许多应用的关键属性之一。无需环路建立时间，这与模拟系统不同，如锁相环(PLL)。

DAC 通常为一个高性能电路，专门针对 DDS 内核(相位累加器和相幅转换器)而设计。多数情况下，结果形成的器件(通常为单芯片)一般称为纯 DDS 或 C-DDS。

实际的 DDS 器件一般集成多个寄存器，以实现不同的频率和相位调制方案。如相位寄存器，其存储的相位内容被加在相位累加器的输出相位上。这样，可以对应于一个相位调谐字延迟输出正弦波的相位。对于通信系统相位调制应用，这非常有用。加法器电路的分辨率决定着相位调谐字的位数，因此，也决定着延迟的分辨率。

在单个器件上集成一个 DDS 引擎和一个 DAC 既有优点也有缺点，但是，无论集成与否，都需要一个 DAC 来产生纯度超高的高品质模拟信号。DAC 将数字正弦输出转换为一个模拟正弦波，可能是单端，也可能是差分。一些关键要求是低相位噪声、优秀的宽带(WB)和窄带(NB)无杂散动态范围(SFDR)以及低功耗。如果是外部器件，则 DAC 必须足够快以处理信号，因此，内置并行端口的器件非常常见。

DDS 与其他解决方案

其他产生频率的方法包括模拟锁相环(PLL)、时钟发生器和利用 FPGA 对 DAC 的输出进行动态编程。通过考察频谱性能和功耗,可以对这些技术进行简单的比较,表 1 以定性方式展示了比较结果。

表 1. DDS 与竞争技术——高级比较

	功耗	频谱纯度	备注
DDS	低	中	易于调谐
分立式 DAC + FPGA	中	中-高	具有调谐能力
模拟 PLL	中	高	难以调谐

锁相环是一种反馈环路,其组成部分为:一个相位比较器、一个除法器和一个压控制振荡器(VCO)。相位比较器将基准频率与输出频率(通常是输出频率的 N 分频)进行比较。相位比较器产生的误差电压用于调节 VCO,从而输出频率。当环路建立后,输出将在频率和/或相位上与参考频率保持一种精确的关系。PLL 长期以来一直被认为是在特定频带范围内要求高保真度和稳定信号的低相位噪声和高无杂散动态范围(SFDR)应用的理想选择。

由于 PLL 无法精确、快速地调谐频率输出和波形,而且响应较慢,这限制了它们对于快速跳频和部分频移键控和相移键控应用的适用性。

其他方案,包括集成 DDS 引擎的现场可编程门阵列(FPGA)——配合现成 DAC 以合成输出正弦波——虽然可以解决 PLL 的跳频问题,但也存在自身的缺陷。主要系统缺陷包括较高的工作和接口功耗要求、成本较高、尺寸较大,而且系统开发人员还须考虑额外的软件、硬件和存储器问题。例如,利用现代 FPGA 中的 DDS 引擎选项,要产生动态范围为 60 dB 的 10 MHz 输出信号,需要多达 72 kB 的存储器空间。另外,设计师需要接受并熟悉细微权衡和 DDS 内核的架构。

从实用角度来看(见表 2),得益于 CMOS 工艺和现代数字设计技术的快速发展以及 DAC 拓扑结构的改进,DDS 技术已经能在广泛的应用中实现前所未有的低功耗、频谱性能和成本水平。虽然纯 DDS 产品不可能在性能和设计灵活性上达到高端 DAC 技术与 FPGA 相结合的水平,但 DDS 在尺寸、功耗、成本和简单性方面的优势使其成为许多应用的首要选择。

同时需要指出,由于 DDS 器件从根本上来讲是用数字方法产生输出波形,因此它可以简化一些解决方案的架构,或者为对波形进行数字化编程创造条件。尽管通常利用正弦波来解释 DDS 的功能和工作原理,但利用现代 DDS IC 也可以轻松产生三角波或方波(时钟)输出,由此消除了前一种情况的查找表以及后一种情况的 DAC 的必要性,因为集成一个简单而精确的比较器就够了。

DDS 的性能与限制

图像和包络: $\text{Sin}(x)/x$ 滚降

DAC 的实际输出不是连续的正弦波,而是带有正弦时间包络的一系列脉冲。对应的频谱是一系列图像和混叠信号。图像沿 $\text{sin}(x)/x$ 包络分布(见图 3 中的幅度曲线图)。有必要进行滤波,以抑制目标频带之外的频率,但是不能抑制通带中出现的高阶混叠(例如,因 DAC 非线性所致)。

奈奎斯特准则要求,每个周期至少需要两个采样点才能重建所需输出波形。镜像响应产生于采样输出频率中 ($K f_{\text{CLOCK}} \pm f_{\text{OUT}}$)。在本例中,其中, $f_{\text{CLOCK}} = 25 \text{ MHz}$ 且 $f_{\text{OUT}} = 5 \text{ MHz}$,第一和第二镜频出现在(见图 3) $f_{\text{CLOCK}} \pm f_{\text{OUT}}$,即 20 MHz 和 30 MHz。第三和第四镜频出现在 45 MHz 和 55 MHz。注意, $\text{sin}(x)/x$ 零值出现在采样频率的倍数处。当 f_{OUT} 大于奈奎斯特带宽($1/2 f_{\text{CLOCK}}$)时,第一镜频将出现于奈奎斯特带宽之内,发生混叠(例如,15 MHz 的信号将向下混叠至 10 MHz)。无法用传统的奈奎斯特抗混叠滤波器从输出中滤掉混叠镜频。

表 2. 基准分析小结——频率产生技术 (<50 MHz)

	锁相环	DAC + FPGA	DDS
频谱性能	高	中-高	中
系统功耗要求	高	高	低
数字频率调谐	无	是	是
调谐响应时间	高	低	低
解决方案尺寸	中	高	低
波形灵活性	低	中	高
成本	中	高	低
设计重用	中	低	高
实现复杂度	中	高	低

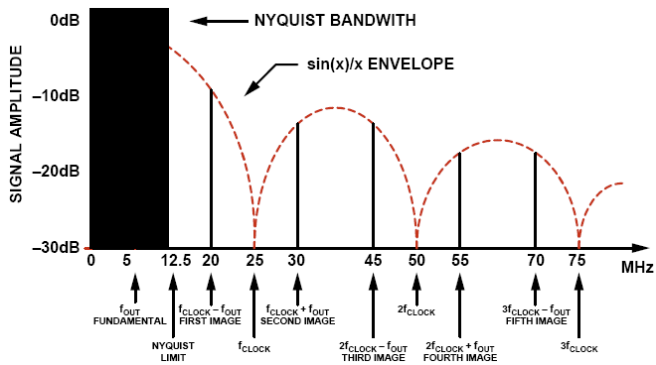


图 3. DDS 中的 $\text{Sin}(x)/x$ 滚降。

在典型的 DDS 应用中，利用一个低通滤波器来抑制输出频谱中镜频响应的影响。为了使低通滤波器的截止频率要求保持于合理水平，并使滤波器设计保持简单，一种可行的做法是利用一个经济的低通输出滤波器将 f_{OUT} 带宽限制在 f_{CLOCK} 频率的 40% 左右。

任何给定镜频相对于基波的幅度可用 $\text{sin}(x)/x$ 公式来计算。由于该函数随频率滚降，因此基本输出的幅度将与输出频率成反比而降低；在 DDS 系统中，降低量为 DC-奈奎斯特带宽范围的 -3.92 dB。

第一镜频的幅度较大——基波的 3 dB 范围内。为了简化 DDS 应用的滤波要求，必须制定频率计划，并分析镜频和 $\text{sin}(x)/x$ 幅度响应在 f_{OUT} 和 f_{CLOCK} 目标频率下的频谱要求。在线互动设计工具支持 ADI DDS 产品系列，可以快速、轻松地仿真镜像频率大小，并允许用户选择镜像位于目标频带之外的频率。更多有用信息，请参阅“更多信息和有用的链接”部分。

输出频谱中的其他不需要的频率（如 DAC 的积分和微分线性误差、与 DAC 相关的突波能量和时钟馈通噪声）不会遵循 $\text{sin}(x)/x$ 滚降响应。这些不需要的频率将以谐波和杂散能量出现在输出频谱中的许多地方——但其幅度一般会远远低于镜频响应。DDS 器件的一般本底噪声由基板噪声、热噪声效应、接地耦合和其他信号源耦合等因素累积组合决定。DDS 器件的本底噪声、性能杂散和抖动受到电路板布局、电源质量以及——最重要的是——输入参考时钟质量的深刻影响。

抖动

完美时钟源的边沿将以精确的时间间隔发生，而该间隔永远都不会变化。当然，这是不可能的；即使最好的振荡器也是由不理想的元件构成，具有噪声等缺陷。优质的低相位噪声晶体振荡器的抖动为皮秒级，而且是从数百万个时钟边沿累积起来的。导致抖动的因素有热噪声、振荡器电路不稳定以及电源、接地和输出连接等带来的外部干扰等，所有这些因素都会干扰振荡器的时序特性。另外，振荡器受外部磁场或电场以及附近发射器的射频干扰的影响。振荡器电路中，一个简单的放大器、反相器或缓冲器也都会给信号带来额外的抖动。

因此，选择一个抖动低、边沿陡的稳定的参考时钟振荡器是至关重要的。较高频率的基准时钟允许较大的过采样，而且，通过分频可以在一定程度上减轻抖动，因为对信号进行分频将在更长时期产生相同量的抖动，因而可以降低信号上的抖动的百分比。

噪声——包括相位噪声

采样系统的噪声取决于诸多因素，首要因素是参考时钟抖动，这种抖动表现为基波信号上的相位噪声。在 DDS 系统中，截断相位寄存器输出可能带来因代码而异的系统误差。二进制字不会导致截断误差。但对于非二进制字，相位噪声截断误差会在频谱中产生杂散。杂散的频率/幅度取决于代码字。DAC 的量化和线性误差也会给系统带来谐波噪声。时域误差（如欠冲/过冲和代码错误）都会加重输出信号的失真。

应用

DDS 应用可以分为两大类：

- 要求捷变频率源以进行数据编码和调制应用的通信和雷达系统
- 要求通用频率合成功能以及可编程调谐、扫描和激励能力的测量、工业和光学应用

两种情况下，都出现了一种走向更高频谱纯度（更低的相位噪声和更高的无杂散动态范围）的趋势，同时还存在低功耗和小尺寸的要求，以适应远程或电池供电设备的需求。

调制/数据编码和同步中的 DDS

DDS 产品首先出现于雷达和军事应用之中，其部分特性的发展（性能的提升、成本和尺寸等）已使 DDS 技术在调制和数据编码应用中日渐盛行。本节将讨论两种数据编码方案及其在 DDS 系统中的实现方式。

二进制频移键控 (BFSK, 或简称 FSK) 是最简单的数据编码形式之一。数据的发射方式是使一个连续载波的频率在两个离散频率（一为二进制 1，即传号，一为二进制 0，即空号）之间变换。图 4 所示为数据和发射信号之间的关系。

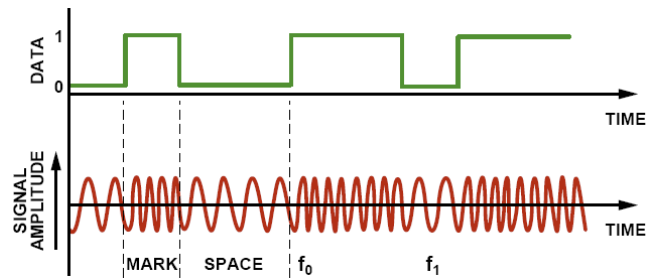


图 4. 二进制 FSK 调制。

二进制 1 和 0 表示为两个不同的频率，分别为 f_0 和 f_1 。这种编码方案可以轻松在 DDS 器件中实现。代表输出频率的 DDS 频率调谐字被改变，以从将发射的 1 和 0 产生 f_0 和 f_1 。在 ADI 纯 DDS 产品系列中，至少有两款器件 (AD9834 和 AD9838, 另见附录)，用户可以简单地将两个当前 FSK 频率调谐字编程进 IC 的嵌入式频率寄存器之中。要变换输出频率，则须用专用的引脚

FSELECT选择含有相应调谐字的寄存器（见图5）。

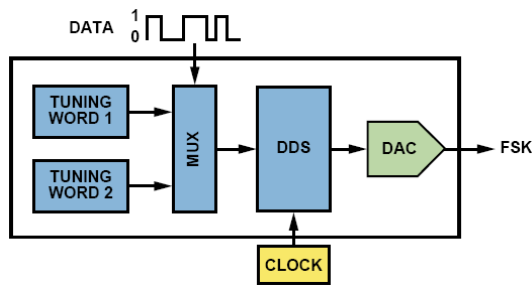


图 5. 利用 AD9834 或 AD9838 DDS 的调谐字选择器实现 FSK 编码。

相移键控(PSK)是另一种简单的数据编码形式。在 PSK 中,载波的频率保持不变,通过改变发射信号的相位来传递信息。可以利用多种方案来实现 PSK。最简单的方法通常称为二进制 PSK (即 BPSK),只采用两个信号相位:0° (逻辑 1) 和 180° (逻辑 0)。各位的状态取决于前一位的状态。如果波的相位不变,则信号状态将保持不变(低或高)。如果波的相位改变 180°,即相位反转,则信号状态将改变(低变为高,或高变为低)。PSK 编码可以轻松在 DDS 产品中实现,因为多数器件都有一个独立的输入寄存器(相位寄存器),可以加载相位值。该值被直接添加到载波的相位,而不改变其频率。更改该寄存器的内容将调制载波的相位,结果产生一个 PSK 输出。对于要求高速调制的应用,内置相位寄存器对的 AD9834 和 AD9838 允许其 PSELECT 引脚上的信号在预加载的相位寄存器之间交换,以根据需要调制载波。

更复杂的 PSK 采用四个或八个波相位。这样,每当相位发生变化时,二进制数据的传输速率将高于 BPSK 调制。在四相位调制(正交 PSK)中,可能的相位角度为 0°、+90°、-90° 和 +180°;每次相位变换可能代表两个信号因子。AD9830、AD9831、AD9832 和 AD9835 提供四个相位寄存器,通过连续更新寄存器的不同相位偏移,可以实现复杂的相位调制方案。

以同步模式利用多个 DDS 元件实现 I/Q 功能

许多应用要求产生两个或两个以上具有已知相位关系的正弦波或方波信号。一个常见的例子是*同相和正交调制(I/Q)*,在这种技术中,在 0° 和 90° 相位角度从载波频率获得信号信息。可以用相同的源时钟来运行两个单独的 DDS 元件,以输出可以直接控制和操作其相位关系的信号。在图 6 中,用一个基准时钟对 AD9838 器件编程;相同的 RESET 引脚用于更新两个器件。这样,可以实现简单的 I/Q 调制。

RESET 必须在上电后以及向 DDS 传输任何数据之前初始化。结果可将 DDS 输出置于已知相位,使其成为共同的参考角度,以便同步多个 DDS 器件。当新数据被同时送至多个 DDS 器件时,DDS 之间可以保持相关相位关系,或者通过相位偏移寄存器可以预测性调整多个 DDS 之间的相对相位偏移。AD983x 系列 DDS 产品拥有 12 位相位分辨率,有效分辨率为 0.1°。

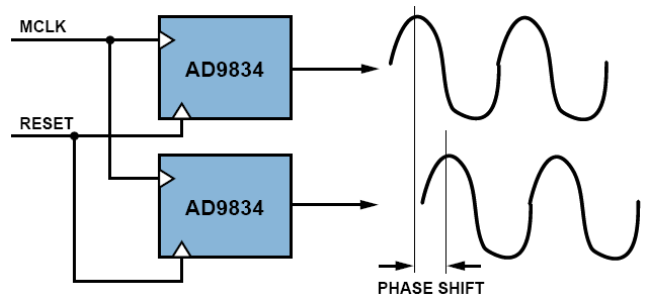


图 6. 同步两个 DDS 元件。

有关同步多个 DDS 器件的更多信息,请参阅应用笔记 AN-605, *同步多个基于 DDS 的频率合成器 AD9852*。

网络分析

电子世界中的诸多应用都需要收集和解码来自网络的数据,例如模拟测量和光学通信系统。正常情况下,系统分析要求是为了以幅度和相位已知的频率模拟电路或系统,并分析通过系统的响应信号的特性。

对响应信号收集的信息用于确定关键系统信息。测试网络的范围(见图 7)可能非常宽泛,包括电缆完整性测试、生物医学传感和流速测量系统。无论何时,只要基本要求是产生基于频率的信号并将响应信号的相位和幅度与原始信号进行比较,或者是要通过系统激励一系列频率,或者要求具有不同相位关系(如具有 I/Q 功能的系统中)的测试信号,则可利用直接数字频率合成 IC,方便、优雅地通过软件以数字方式控制激励频率和相位。

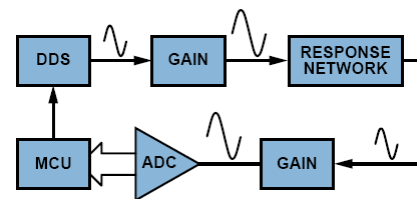


图 7. 利用频率激励的典型网络分析架构。

电缆完整性/损耗测量

电缆完整性测量是一种非介入式电缆分析方法,广泛用于飞机布线、局域网(LAN)和电话线路等应用之中。确定性能的一种方式是通过看通过电缆时损耗了多少信号。通过注入频率和幅度已知的信号,用户可以在电缆远端测量幅度和相位,由此算出电缆衰减。直流电阻和特性阻抗等参数将影响具体电缆的衰减。其结果通常表示为在整个测试频率范围内低于信号源的(0 dB)分贝数。目标频率取决于电缆类型。DDS 器件因具有产生宽范围频率的能力,所以可以用作具有必要频率分辨率的激励。

流量计

一种相关应用是对管道中的水、其他液体和气体进行流量分析。一个例子是超声流量测量，其工作原理是相移原则，如图8所示。基本而言，从有液体流动的通道的一端发射信号，同时在另一端放置一个传感器以测量相位响应（取决于流速）。这种技术存在多种变化。测试频率取决于测量的物质；一般而言，往往在一系列频率范围内发射输出信号。DDS 具有无缝设置和更改频率的灵活性。

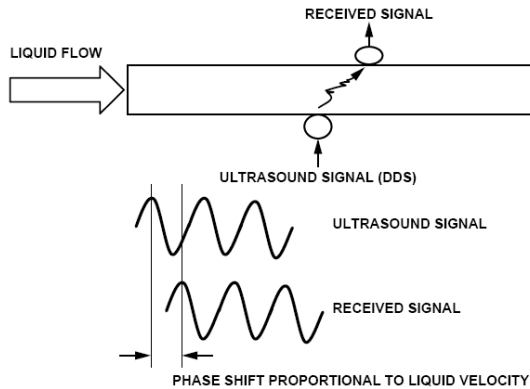


图 8. 超声流量计。

作者简介

Brendan Cronin [brendan.cronin@analog.com] 是 ADI 核心产品和技术(CPT)部门的一位产品营销工程师。Brendan 于 1998 年加盟 ADI，在工业和汽车产品部门工作了六年，担任混合信号设计工程师。Brendan 目前主要研究线性和相关技术。



更多信息和有用的链接

互动式设计工具

它是什么？它是 DDS 的在线互动式设计工具，是在给定参考时钟和目标输出频率和/或相位时用于选择调谐字的辅助工具。该工具的编程计算结果给出了调谐字和其他配置位，供对器件串行接口编程时使用。在应用外部重构滤波器之后，可以显示选定参考时钟和输出频率的理想输出谐波。ADI 设计工具的链接可以在 [互动式设计工具](#) 主页上找到。[AD9834 设计工具](#) 即是例子之一。

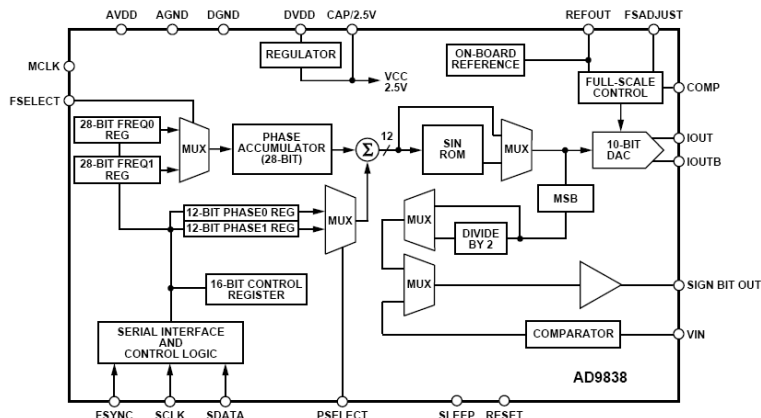


图 10. AD9838 DDS 的功能框图。

评估套件

AD983x 系列产品配备功能完善的 **评估套件**，并配有原理图和布局指南。借助评估套件中提供的软件，用户可以轻松对器件进行编程、配置和测试（见图 9）。

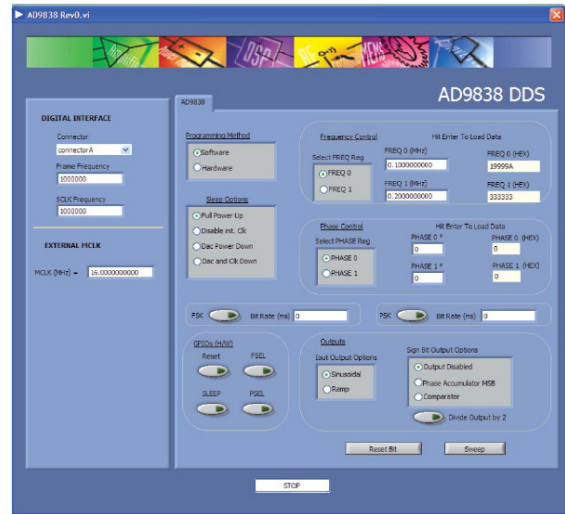


图 9. AD9838 评估软件接口。

其他有用的 DDS 信号可以在 [DDS 网站](#) 上找到。

另请参阅：

Murphy, Eva & Colm Slattery. “直接数字频率合成全攻略。”应用工程师问答—33. *模拟对话*. 2004 年第 38 卷第 3 期：8-12。

[数字信号合成技术教程](#). 1999. Analog Devices, Inc.

附录

AD9838 简介：AD9838 DDS 的功能框图如图 10 所示。该器件采用细线 CMOS 工艺制成，是一款超低功耗(11 mW)的纯 DDS。28 位的频率寄存器支持 0.06 Hz 频率分辨率和 16 MHz 时钟，以及 0.02 Hz 频率分辨率和 5 MHz 时钟。相位和频率调制通过片内寄存器利用软件或引脚选择来配置。该器件具有 -68 dBc 宽带和 -97 dBc 窄带 SFDR，工作温度范围为 -40°C 至 +125°C 扩展温度范围。器件采用小型 4 mm × 4 mm、20 引脚 LFCSP（引脚架构芯片级）封装。